

طراحی و تحلیل مبدل آنالوگ به دیجیتال سیگما- دلتا با استفاده از مدارات مبتنی بر پردازش سیگنال‌های زمان پایه

محسن معصومی^۱، یونس تنها^۲

^۱گروه مهندسی برق و کامپیوتر، واحد جهرم، دانشگاه آزاد اسلامی، جهرم، ایران
^۲کارشناسی ارشد مهندسی برق گرایش الکترونیک دانشگاه آزاد اسلامی واحد فسا

چکیده

با کوچک شدن اندازه‌ی قطعات، چالش‌هایی برای طراحی مدارهای آنالوگ متداول، مثل فاصله‌ی ایمن ولتاژ ضعیف و گین ذاتی کم قطعات، به وجود می‌آید. اگرچه کاهش طول کانال قطعات همواره در تکنولوژی CMOS اساساً اثرات منفی بر مدارهای آنالوگ دارد ولی سرعت دستگاه را بالا برده و توان مصرفی را کم می‌کند. در نتیجه این قطعات مورد توجه مدارت بر مبنای پردازش سیگنال زمانی، قرار می‌گیرد، زیرا مدارهای زمانی از قطعات با سرعت بالا و توان مصرفی کم برای پردازش اطلاعات آنالوگ در دامنه‌ی زمانی استفاده می‌کند. در نهایت، ما مبدل‌های $\sum \Delta A/D$ مبنی بر VCO را معرفی می‌کنیم که از اسیلاتور حلقه کنترل شونده با ولتاژ (VCO حلقه‌ای) به‌عنوان انتگرال گیر با پیوستگی زمانی استفاده می‌کنند. ما همچنین مبدل A/D تک شیب که از تبدیل زمان-دیجیتال استفاده می‌کند را مطرح کرده‌ایم همچنین با ترکیب کردن چند مدار آنالوگ و یک اسیلاتور حلقه بر پایه مبدل زمان به دیجیتال (TDC)، به تبدیل A/D با دقت تفکیک‌پذیری بسیار بالایی دست می‌یابیم. این پژوهش همچنین محدودیت‌های اساسی اسیلاتور حلقه به‌عنوان مدار زمانی، را معرفی می‌کند. اگرچه ایده‌ی پردازش سیگنال‌های زمانی که از اسیلاتور حلقه استفاده می‌کند، محدودیت‌هایی مثل ویژگی‌های تنظیم‌کنندگی غیرخطی و نویز فاز را دارد ولی ایده‌ی آن ارزش بررسی کردن را دارد تا مشکلات جدی مدارهای آنالوگ در تکنولوژی آینده‌ی CMOS حل شود.

کلمات کلیدی: مبدل آنالوگ، پردازش سیگنال، تکنولوژی CMOS، دیجیتال

مقدمه

طراحی و ساختار بلوک‌های آنالوگ در تکنولوژی CMOS مدرن برای قطعات دارای مقیاس کوچک سخت‌تر است. استاندارد ساختار بین‌المللی تکنولوژی نیمه‌هادی‌ها ITRS پیش‌بینی کرده است که برای CMOS های که کانالی کوچکتر از ۴۰nm دارند برای راه اندازی آنها نیاز به منبع تغذیه حدود یک ولت می باشد که یک ولتاژ کوچک برای مدارات آنالوگ محسوب می شود، همچنین بهره اولیه این قطعات کمتر است زیرا تأثیر کانال کوتاه نسبت به کانال بلند ترانزیستور کمتر است. این مثال ها برخی از نمونه های چالش های است که در طراحی مدار آنالوگ توسط فرایند های CMOS زیر میکرونی عمیق می باشد و این بدین معنی است که به منظور حل این مشکلات باید توپولوژی مدار آنالوگ مورد بررسی قرار گیرد. به هر حال، این روش ها یک روند جذاب در استفاده از فرایند سیگنال مبتنی بر زمان است همچنین از این روش به منظور استفاده نکردن از بلوکهای ساختاری آنالوگ که برای مقیاس کوچک خطرناک هستند، بکار می رود.

پردازش سیگنال مبتنی بر زمان و مدارات موجود در تکنولوژی مدرن CMOS

با توجه به آنکه که پردازش سیگنال مبتنی بر زمان نسبت به سیگنال‌های معمولی مبتنی بر ولتاژ یا جریان در تکنولوژی CMOS با عمق زیر میکرونی دارای مزیت است به همین دلیل پردازش سیگنال مبتنی بر زمان اخیراً به منظور انجام تحقیقات، مورد توجه صنایع قرار گرفته است.

یک حلقه قفل شونده در فاز (PLL) نمونه ای خوب از پیشرفت های اخیر در مورد سیستم هایی است که از مدارات مبتنی بر زمان استفاده کرده اند. یکی از مهمترین بلوک‌های ساختاری در پردازش سیگنال مبتنی بر زمان، مبدل زمان به دیجیتال (TDC) می باشد. TDC اطلاعات زمان را به کد های دیجیتال تبدیل میکند. PLL های دیجیتال از TDC به عنوان یک آشکار ساز فاز استفاده کرده و اختلاف فاز بین کلاک مرجع و VCO را به مقادیر دیجیتال تبدیل می کنند. از آنجا که خروجی TDC یک سیگنال دیجیتال است، پمپ شارژ و حلقه فیلتر مربوط به PLL ها، با فیلتر های دیجیتال آرایش نیافته جایگزین می شوند. با بکار گیری TDC، بیشتر بلوک‌های ساختاری PLL ها بوسیله مدارات دیجیتال که از قانون مور بهره برده اند، اجرا می شود.

منابع سیگنال مبتنی بر زمان همچنین می تواند برای مدوله کردن دامنه تقویت کننده توان فرکانس رادیویی (RF) بکار گرفته شود [۸و۷]. روش موجود در [۸و۷] در استفاده از مدولاسیون عرض پالس و مدولاسیون موقعیت پالس برای مدولاسیون دامنه در تقویت کننده توان RF را پیشنهاد می کند. از آنجا که مدولاسیون عرض پالس و مدولاسیون موقعیت پالس بوسیله کلید زنی ساده در ترانزیستور ها انجام می شود، پس تقویت کننده توان RF هم می تواند بر روی یک تک تراشه بدون ایجاد مشکلات مربوط به مدارات آنالوگ، مجتمع شود. روشهای پیشنهادی در منابع [۸و۷] ثابت می کند که سیگنالهای مبتنی بر زمان مانند پهنای پالس و موقعیت پالس می توانند بر روی دامنه سیگنال RF سوار شوند.

مبدل های آنالوگ به دیجیتال (A/D) از مدارات مبتنی بر زمان استفاده می کنند. روشهای ارائه شده در مراجع [۱۰و۹] از اسیلاتور حلقه کنترل شونده با ولتاژ به عنوان یک کوانتایزر استفاده می کنند. VCO ولتاژ را به فرکانس تبدیل میکند و فرکانس خروجی VCO به آسانی به وسیله یک شمارنده دیجیتالی شمارشی شود، بنابراین VCO حلقه و شمارنده دیجیتال می توانند با یک کوانتایزر در یک مبدل A/D سیگما-دلتا، جایگزین شوند. یک کوانتایزر مبتنی بر VCO که ترکیبی از VCO حلقه و دیجیتال است، حتی در فرایندهای بعدی CMOS نیز به راحتی قابل اجرا است.

دقت تفکیک یک کوانتایزر مبتنی بر VCO به تاخیر قطعات وابسته است، این بدین معنی است که دقت تفکیک کوانتایزر بوسیله مقیاس قطعات بهبود می یابد، پس این امر نیز یکی دیگر از مزایای مدارات مبتنی بر زمان در تکنولوژی مدرن CMOS می باشد. از طرف دیگر مبدل A/D موجود در مرجع [۱۱] از یک روش تبدیل زمان به دیجیتال برای تبدیل A/D استفاده کرده است. هنگامی که سیگنال آنالوگ به یک سیگنال مبتنی بر زمان تبدیل شود، عملیات دیجیتالی کردن سیگنال مبتنی بر زمان می تواند به روشهای موثری در فرایندهای مدرن CMOS انجام گیرد زیرا تفکیک زمانی TDC از قانون مور بهره میگیرد.

اسیلاتور حلقه به عنوان مدار مبتنی بر زمان

سیگنال خروجی اسیلاتور حلقه یک سیگنال مبتنی بر زمان است. برای ما فقط اسیلاتورهای فرکانسی یا اطلاعات فازی حاوی اطلاعات است نه ولتاژ خروجی این نوع اسیلاتورها.

در این کار، اطلاعات زمانی مربوط به خروجی اسیلاتور حلقه برای دو هدف مورد استفاده قرار می‌گیرد: یکی تبدیل آنالوگ به زمان و دیگری زمان به دیجیتال.

VCO حلقه ولتاژ ورودی را به اطلاعات فاز یا فرکانس تبدیل می‌کند. کوانتایزر مبتنی بر VCO از تابع تبدیل ولتاژ به فرکانس VCO حلقه استفاده می‌کند. همچنین ما می‌توان در VCO حلقه از تابع تبدیل ولتاژ به فاز به عنوان یک مزیت استفاده کنیم در جایی که VCO مدل شده به عنوان یک مدار مجتمع که دارای ورودی ولتاژ و خروجی فاز استفاده می‌شود [۱۲ و ۱۳].

عملیات دیجیتالی کردن اطلاعات زمان هنگامی میسر می‌شود که در یک اسیلاتور حلقه، اطلاعات زمان ورودی آن با تأخیر مربوط به مراحل تأخیر اسیلاتورهای حلقه مقایسه شود [۱۴ و ۱۵]، بنابراین، از اسیلاتور حلقه می‌توان برای تبدیل زمان به دیجیتال نیز استفاده کرد.

در این کار، مبدل‌های A/D را که از اسیلاتورهای حلقه استفاده میکنند نشان داده می‌شود. با ارائه نتایج بدست آمده، نشان می‌دهیم که استفاده از مدارات مبتنی بر زمان مانند اسیلاتور حلقه، می‌تواند به عنوان یک روش متناوب برای اجرای بلوک‌های ساختاری اصلی سیستم‌های ارتباطی (مخابراتی) که در روش سنتی از مدارات آنالوگ استفاده می‌شد، بکار گرفته شود.

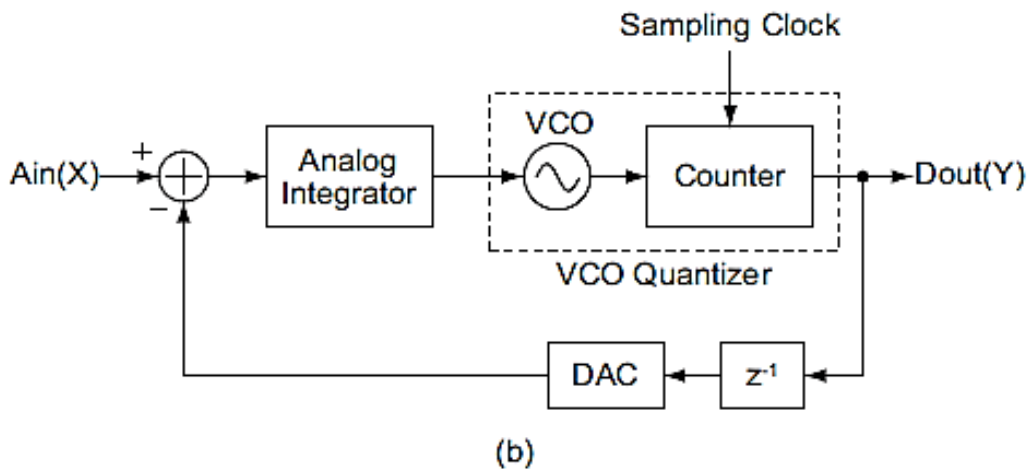
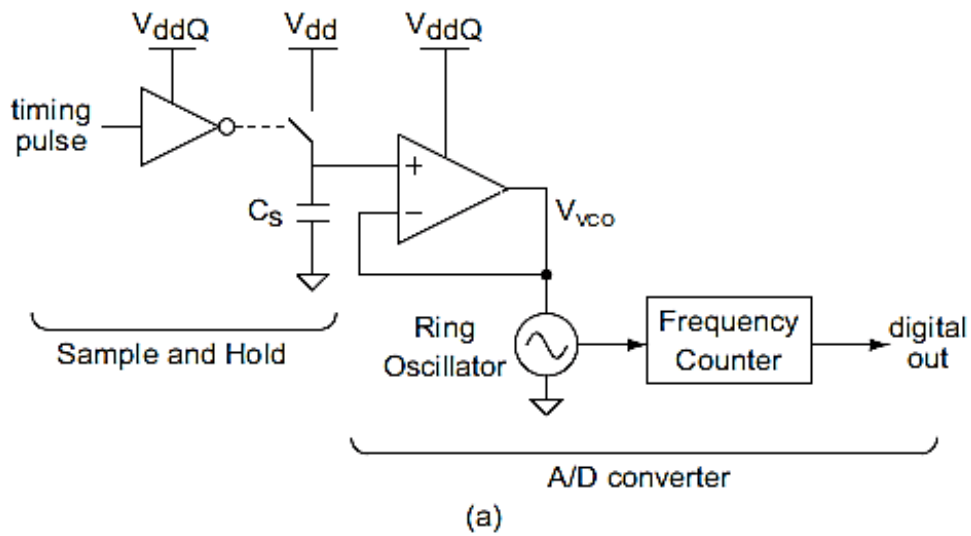
مبدل A/D تک شبیه مطرح شده، ترکیبی از دو بلوک ساختاری اصلی می‌باشد: یکی مبدل ولتاژ به زمان و دیگری مبدل زمان به دیجیتال. مبدل ولتاژ به زمان به دو مدار آنالوگ نمونه بردار و منبع جریان نیاز دارد. تبدیل زمان به دیجیتال در دو مرحله انجام می‌شود: یکی از طریق اسیلاتور حلقه مبتنی بر TDC دارای دقت تفکیک کم و دیگری از طریق اسیلاتور حلقه TDC چند مسیره دارای دقت تفکیک بالا که در مرجع [۱۵] معرفی شده است.

راهنمایی‌های اصلی

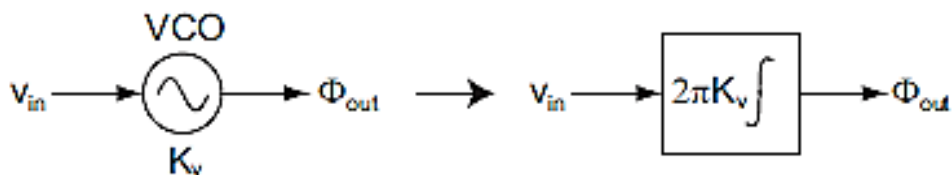
در این پژوهش سه نوع تراشه اولیه به منظور نشان دادن امکانات و محدودیت‌های سیستم‌هایی که از مدارات مبتنی بر زمان به خصوص اسیلاتور حلقه در تکنولوژی CMOS های با عمق زیر میکرونی استفاده میکنند، مورد بررسی قرار می‌گیرد. اسیلاتور حلقه در هسته مدار بلوک ساختاری در این مقاله برای دو عملکرد مهم می‌باشد: یکی تبدیل آنالوگ به زمان و دیگری تبدیل زمان به دیجیتال. این کار صحت مفهوم معماری سیستم مطرح شده با استفاده از مدارات مبتنی بر زمان را اثبات می‌کند و همچنین محدودیت‌های اصلی اسیلاتور حلقه را بوسیله نشان دادن نتایج اندازه گیری شده از ۳ نمونه از تراشه‌های اولیه، بررسی می‌کنیم.

پیش زمینه

ADC های مبنی بر VCO معمولاً از یک VCO و یک شمارنده فرکانس به عنوان کوانتایزر استفاده می‌کنند. در مرجع [۱۶] از یک جفت شمارنده VCO برای تبدیل A/D نويز ولتاژ تغذیه استفاده می‌کند که در شکل ۱ (a) نشان داده شده است. از نويز ولتاژ تغذیه نمونه برداری شده و فرکانس اسیلاتور حلقه را کنترل می‌کند. شمارنده فرکانس پس از اسیلاتور حلقه، فرکانس را اندازه می‌گیرد. در نتیجه عدد شمارنده دیجیتال، مقدار عددی ولتاژ ورودی است. با کاهش سرعت تبدیل، قدرت تشخیص بهبود می‌یابد. بکار بردن یک VCO حلقه ای چند فازه نیز به بهبود قدرت تشخیص کمک می‌کند، اما این بهبود محدود است [۱۹ و ۲۰]. از سوی دیگر در مراجع [۱۷ و ۱۸] از یک جفت شمارنده VCO برای کوانتایزر کردن چند بیت $\sum \Delta$ ADC استفاده می‌کند که در شکل ۱ (b) نشان داده شده است.

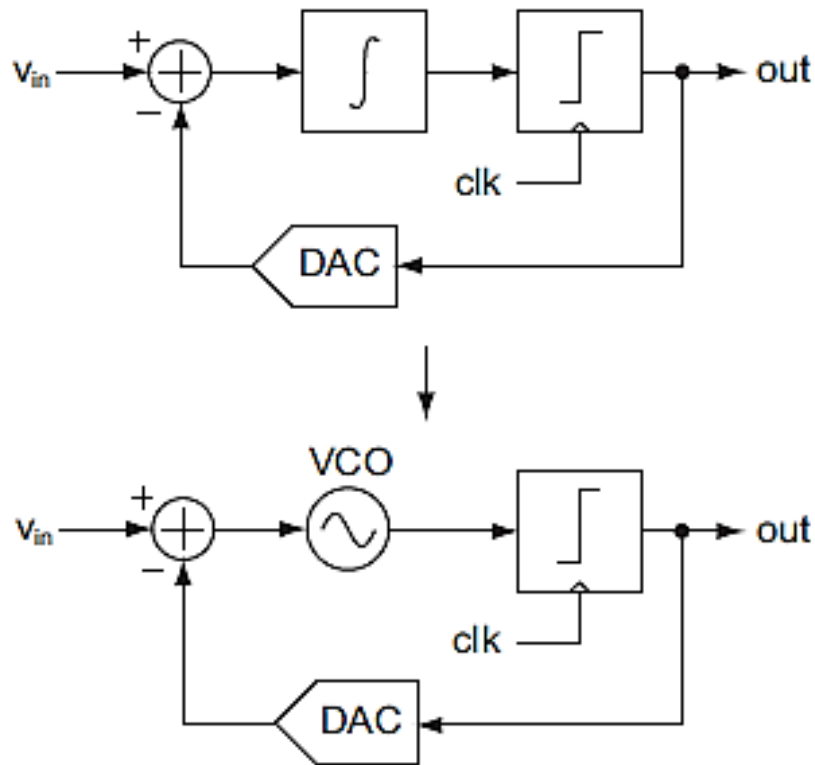


شکل ۱ (a)-نمودار بلوک ساده شده ADC مبتنی بر VCO رویکرد [۱۶]. (b) نمودار بلوک ساده شده ADC مبتنی بر VCO روش [۱۷].

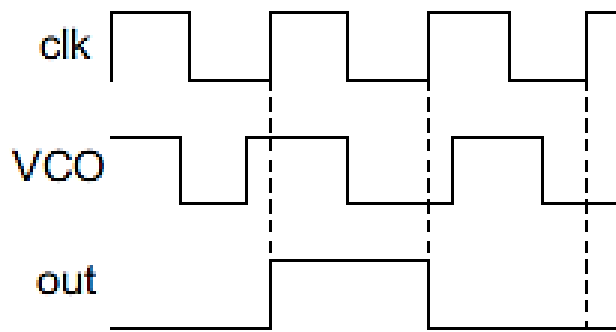


شکل ۲- VCO به عنوان انتگرال گیر ولتاژ به فاز

مزیت اصلی شمارنده مبتنی بر VCO بر ADC قدیمی، تاثیر شکل نویز درجه اول بر نویز کوانتایزر است [۱۷] با این وجود همان طور که در شکل ۱ (b) نشان داده شده، این مرجع به مدارهای آنالوگ شامل یک انتگرال گیر و مبدل دیجیتال به آنالوگ (DAC) نیاز دارد.



شکل ۳- $\Sigma\Delta$ ADC درجه اول با پیوستگی زمانی که از انتگرال گیر VCO استفاده کرده است.



شکل ۳ نمودار زمان بندی تدریجی کننده یک بیت در $\Sigma\Delta$ ADC درجه اول با پیوستگی زمانی که از VCO استفاده کرده است.

شکل ۲ مدل قدیمی VCO استفاده شده برای مدل سازی PLL را نشان می دهد که رفتار خود را به عنوان یک انتگرال گیر مطلوب دارای سیگنال اولیه در ولتاژ و سیگنال ثانویه در فاز مشخص می نماید. توجه کنید که میتوان از آشکار ساز فاز برای تبدیل فاز ثانویه به ولتاژ یا جریان به منظور استفاده از VCO به عنوان انتگرال گیر ولتاژ به ولتاژ و ولتاژ به جریان استفاده کرد.

شکل ۳ نشان می دهد که چگونه می توان مدولاتور درجه اول $\Sigma\Delta$ با پیوستگی زمانی (CT) را با VCO اجرا نمودو همچنین به جای استفاده از انتگرال گیر معمول، از VCO برای مرحله انتگرال گیری در مدولاتور $\Sigma\Delta$ استفاده می کنیم. بر

خلاف انتگرال گیر مرسوم، VCO هیچ مکانیسم نشستی در عملیات انتگرال خود ندارد، از این رو مدولاتور $\Delta \Sigma$ که از VCO استفاده می‌کند دستخوش مسائل ناشی از بهره محدود DC انتگرال گیر، مانند تفکیک نسبت سیگنال به نویز [۲۳] و مشکل ناحیه مرده نمیگردد.

در اینجا فرض میکنیم که فرکانس VCO اساساً محدود به فرکانس زمان سنجی مرجع شده است، بگونه ای که همه انحرافات فاز VCO به یک وقفه چرخه مرجع محدود میشوند. VCO به‌عنوان انتگرال گیر ولتاژ به فاز عمل می‌کند، از این رو برای اجرای انتگرال گیری ولتاژ به ولتاژ و یا ولتاژ به جریان، همان طور که قبلاً ذکر شد، به آشکار ساز فاز نیاز داریم. با این وجود آشکار ساز فاز در این مورد ضروری نیست، زیرا کوانتایزر تک بیتی به‌عنوان مبدل تک بیت زمان به دیجیتال عمل میکند. اگر سیگنال ثانویه (خروجی) VCO بعد از پالس کلاک نمونه برداری تأخیر داشته است به خروجی کوانتایزر می‌رود که در شکل ۴ نشان داده شده است. از این رو سیگنال فاز ثانویه VCO، که انتگرال ولتاژ اولیه VCO است، کوانتایزر شده و سپس به ورودی VCO بازخورد می‌شود.

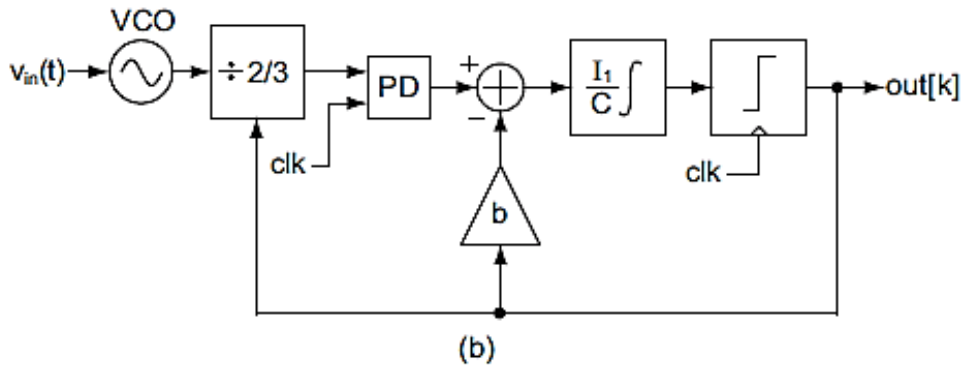
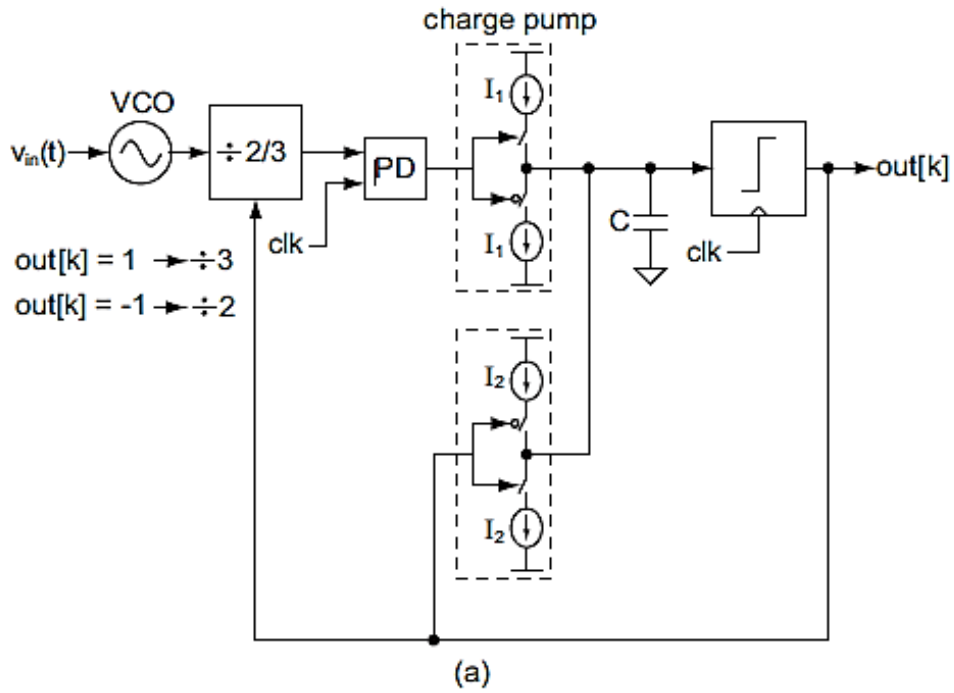
توجه کنید که برای اینکه عملاً VCO انتگرال گیری ولتاژ به فاز را به درستی انجام دهد به ولتاژ کنترل اولیه محدود به باند نیاز دارد و شکل موج مربعی DAC در شکل ۳ محدود به باند نیست، از این رو انتگرال گیری VCO عملاً صحیح نمی‌باشد. یک ساختار قابل اجرای A/D که این مساله را حل میکند در بخش بعد مطرح شده است.

مبدل A/D مبنی بر VCO پیشنهاد شده

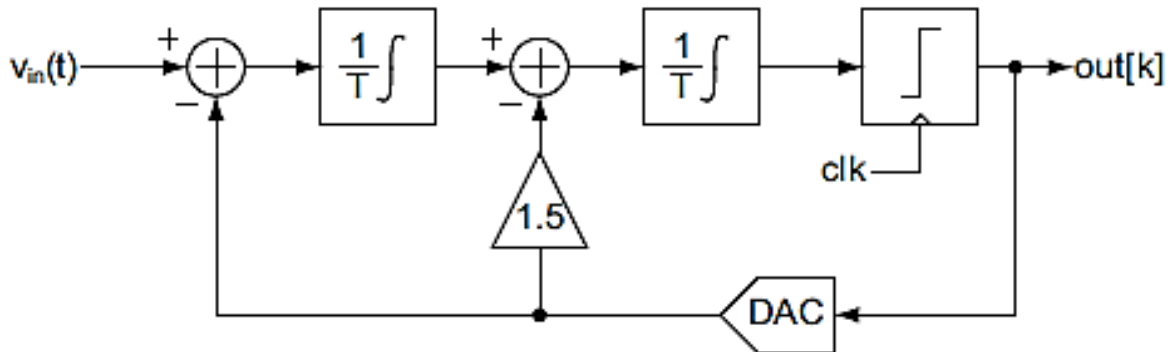
جایگزین کردن یک انتگرال گیر با انتگرال گیر VCO در ساختار قدیمی $\Delta \Sigma$ A/D قابل اجرا نیست، زیرا سیگنال آنالوگ با سرعت زیاد تغییر کرده و پس از یک فیدبک DAC باعث انتگرال گیری فاز غیر صحیح انتگرال گیر VCO می‌شود که قبلاً با مثال بیان شد و به عبارت دیگر انتگرال گیر های مبتنی بر VCO برای سیگنال‌های آنالوگ با سرعت تغییرات زیاد مطلوب نبوده و باعث انتگرال گیری فاز غیر صحیح می‌شود پس ما یک ساختار A/D پیشنهاد می‌کنیم که این مشکل را حل می‌کند. همچنین ساختار مطرح شده از شکل گیری نویز درجه دوم نیز برای قدرت تشخیص بیشتر استفاده می‌کند.

شکل ۵ (a), (b) ساختار $\Delta \Sigma$ ADC درجه دوم مطرح شده را نشان می‌دهد که از VCO به‌عنوان انتگرال گیر مرحله اول استفاده کرده و شکل ۶ یک $\Delta \Sigma$ ADC درجه دوم مطلوب با پیوستگی زمانی به‌عنوان نقطه مقایسه نشان می‌دهند [۲۴ و ۲۵ و ۲۶]. با استفاده از یک تقسیم کننده دو مدولی، نیازی نیست که خروجی کوانتایزر به ورودی VCO فیدبک شود. بنابراین ورودی VCO فقط تحت تاثیر سیگنال اولیه آنالوگ باند محدود، می‌شود و انتگرال گیری صحیح ولتاژ به فاز حاصل می‌گردد. توجه کنید که مرحله انتگرال گیر آنالوگ با یک پمپ شارژ و یک خازن انجام می‌شود که در شکل ۵ (a) نشان داده شده و انتگرال گیر آنالوگ با انتگرال گیر مرحله دوم در شکل ۶ مطابقت دارد.

فیدبک DAC نیز با یک پمپ شارژ اجرا می‌شود. جریان های پمپ شارژ و ظرفیت خازن، تعیین کننده بهره انتگرال گیر و ضریب فیدبک می‌باشد، برای خطی بودن بیشتر انتگرال گیر و همچنین سهولت اجرای آن از یک انتگرال گیر تک بیت استفاده می‌کنیم. توجه کنید که مقدار تقسیم تقسیم کننده زمانیکه $Out[k]$ ، +۱ باشد برابر با ۳ و زمانیکه $Out[k]$ ، -۱ باشد برابر با ۲ است.



شکل ۴- $\Sigma\Delta$ ADC (a) درجه دوم پیشنهاد شده با پیوستگی زمانی که از VCO استفاده کرده است. شکل ۵- نمودار بلوک ساده شده $\Sigma\Delta$ ADC پیشنهادی با پیوستگی زمانی که از VCO استفاده کرده است.



شکل ۶- $\Sigma\Delta$ ADC درجه دوم مطلوب

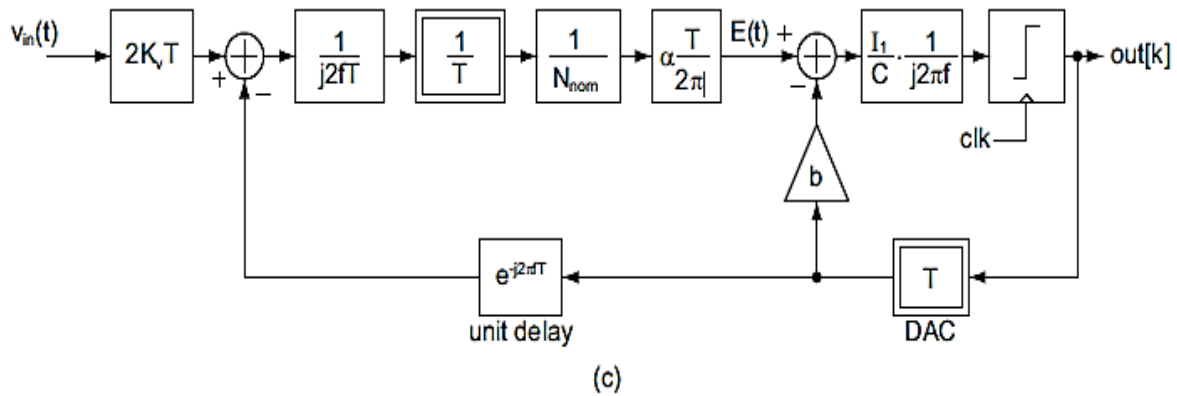
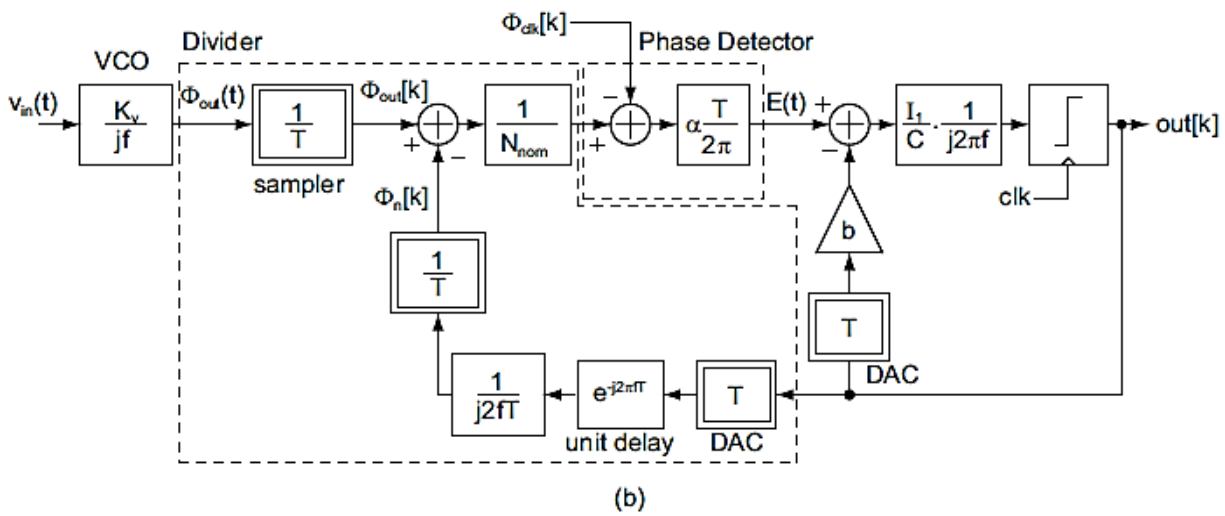
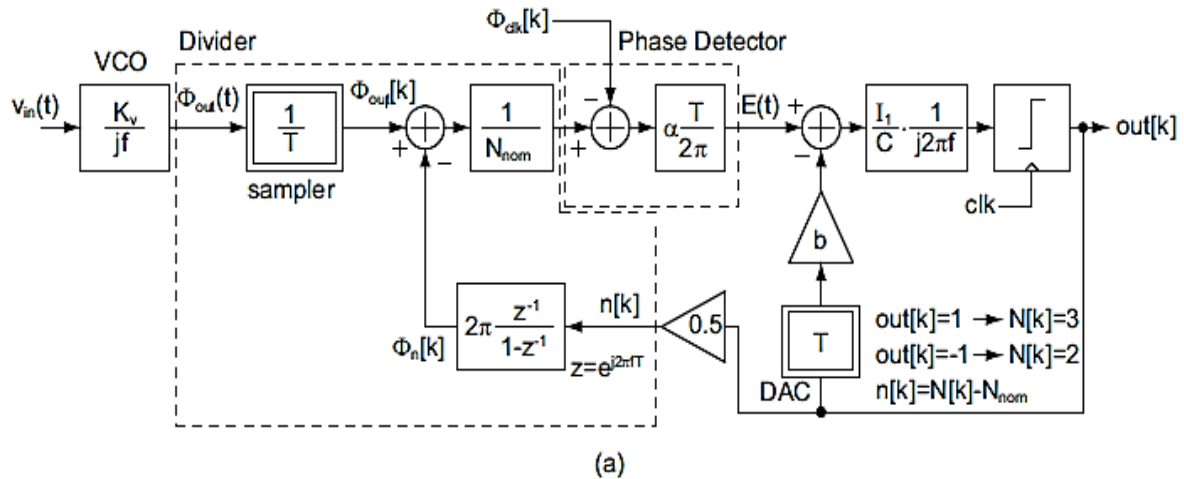
ساختار مشابهی با آنچه در شکل ۵ نشان داده شده، قبلا برای استفاده به عنوان تشخیص دهنده فرکانس $\Sigma\Delta$ پیشنهاد شده، که فرکانس لحظه ای [۲۱] سیگنال اولیه را به یک زنجیره دیجیتال تبدیل می کند. در اینجا هدف ما تبدیل ولتاژ تنظیم کنند اولیه VCO به مقادیر پیوسته دیجیتال می باشد، پس ما در حال تبدیل ولتاژ به دیجیتال هستیم تا اینکه تبدیل فرکانس به دیجیتال را انجام دهیم. مزیت این ساختار برای تبدیل A/D این است که شکل گیری نویز درجه دوم را با ابزار و وسایل کاملا دیجیتالی انجام می دهد _ تنها عناصر آنالوگ، پمپ شارژ در شکل ۳ (a) نشان داده شده است.

مدلسازی

برای درک عملیات ساختار ADC مطرح شده در شکل ۵، مدل تحلیلی خطی شده در شکل ۷ (a) را در نظر بگیرید که شباهت مستقیمی با کسر N ام مدل PLL که در [۲۲] توضیح داده شده، دارد. در اینجا VCO به عنوان یک انتگرال گیر مطلوب مدلسازی شده است. تقسیم کننده چند مدولی به عنوان نمونه بردار، اکومولاتور و عامل مقیاس گذاری $\frac{1}{N_{nom}}$ مدل سازی شده و آشکار ساز فاز به عنوان کاهنده و عامل مقیاس گذاری $\frac{AT}{2\pi}$ مدلسازی می شود.

شکل ۷ (a) به وضوح نشان می دهد که چگونه سیگنال خروجی کوانتایزر، که محدود به باند نمی باشد، بدون تاثیر بر ورودی حقیقی VCO به طور مؤثر به ورودی ADC فیدبک میشود. مسیر های سیگنال از ورودی VCO و خروجی کوانتایزر به طور فیزیکی از هم جدا می شوند، اما فاز خروجی تقسیم کننده، اختلاف میان انتگرال گیری این دو سیگنال است که در شکل ۷ (a) نشان داده شده است. بنابراین تقسیم کننده یک حلقه فیدبک منفی تمام دیجیتال ایجاد کرده که به ساختار ADC امکان می دهد بدون نیاز به سیگنال های آنالوگ سریع در ورودی VCO، به عنوان مدولاتور $\Sigma\Delta$ درجه دوم عمل نماید. توجه کنید که بهره ۰/۵ در مسیر فیدبک باعث می شود مقدار مناسب $n[k]$ تنظیم شود. در ساختار VCO پیشنهاد شده از تقسیم کننده ۲/۳ استفاده شده و زمانیکه فرکانس مرکزی VCO به طور مناسب تنظیم شود، N_{nom} برابر ۲/۵ است [۲۲]. در زمانیکه $Out[k]$ به ترتیب ۱ و -۱ باشد $N[k]$ ، ۳ و ۲ می شود که در شکل ۷ (a) نشان داده شده است، بنابراین از این به بعد زمانیکه $Out[k]$ ، به ترتیب ۱ و -۱ است، $n[k]$ باید ۰/۵ و -۰/۵ باشد [۲۲]. از بهره ۰/۵ در شکل ۷-۲ (a) برای تبدیل مقادیر $Out[k]$ به مقادیر مناسب $n[k]$ استفاده میشود.

در این مدل، اکومولاتور در مسیر فیدبک را می توان با انتگرال گیر جایگزین کرد، مانند شکل ۸، زیرا واکنش فرکانس انتگرال گیر تقریبا مشابه واکنش اکومولاتور است. با جایگزین کردن اکومولاتور در مسیر فیدبک، مدل فرکانس _ دامنه در شکل ۷ (a) را می توان مانند شکل ۷ (b) و در نهایت شکل ۷ (c) ساده کرد. به راحتی می توان با مقایسه شکل ۷ (c) و شکل ۶ شباهت این مدل را با مدل مطلوب $\Sigma\Delta$ ADC مشاهده نمود. توجه کنید که $\phi \text{ clk}[k]$ همیشه صفر است، زیرا فاز مرجع است، بنابراین در مدل شکل ۷ (c) حذف می شود.



شکل ۷- (a) مدل دامنه - فرکانس ADC مبنی بر VCO. (b) ساده سازی مدل فرکانس - دامنه ADC مبنی بر VCO. (c) ساده سازی نهایی مدل فرکانس - دامنه در ADC مبنی بر پیشنهاد شده با جایگزین کردن اکومولاتور با انتگرال گیر. پیشنهاد شده.

$$\boxed{\frac{1}{1-z^{-1}}} \stackrel{z=e^{j2\pi fT}}{=} \boxed{\frac{1}{1-e^{-j2\pi fT}}} \approx \boxed{\frac{1}{j2\pi fT}}$$

accumulator integrator

شکل ۸- جایگزینی اکومولاتور با انتگرال گیر

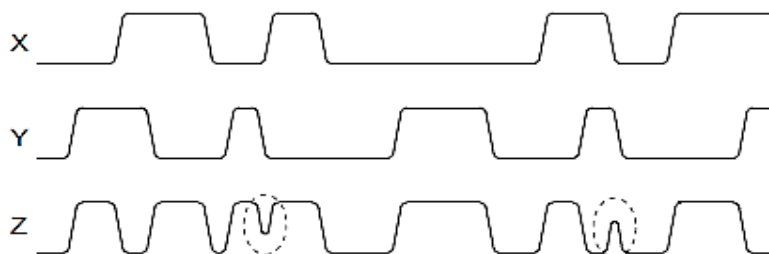
با فرض مدل ساده شده در شکل ۷(c)، طراحی ADC از ساختارهای قدیمی $\Sigma\Delta$ ADC درجه دوم تبعیت می‌کند. به خصوص بهره فیدبک در شکل ۵(a) باید به طور مناسب شکل گیری نويز درجه دوم را در حالت پایدار تحقق بخشد. توجه کنید که یک تاخیر واحد در مسیر فیدبک مدل ساده شده در شکل ۷(c) وجود دارد. تأخیر در مسیر فیدبک به طور کلی باعث ایجاد مشکل پایداری در مدولاتور $\Sigma\Delta$ درجه بالا می‌شود. با این وجود سطح رفتار شبیه سازی CppSim مرجع [۲۷] نشان می‌دهد که مدولاتور $\Sigma\Delta$ پیشنهاد شده با پیکربندی درجه دوم، پایدار است. به لحاظ تئوری نسبت سیگنال به صدا (SNR) قابل دسترس در ADC مبنی بر VCO مطرح شده ممکن است کمتر از مدولاتور $\Sigma\Delta$ درجه دوم مطلوب نشان داده شده در شکل ۷ باشد، که این به دلیل تأخیر در مسیر فیدبک است، پس نويز طبقه (بلوک) باند ورودی توسط نويز ارجاع داده شده ورودی مثل نويز گرمایی دستگاه مدولاتور $\Sigma\Delta$ مرسوم و نويز فاز VCO، در ADC مطرح شده به نويز کوانتیزه شده ترجیح داده میشود. از این رو، کاهش SNR به دلیل تأخیر، در واقعیت قابل چشم پوشی است.

نتیجه دامنه قفل شدگی فاز

ساختار ADC مطرح شده، یک محدودیت منحصر بفرد نسبت به $\Sigma\Delta$ ADC قدیمی ایجاد می‌کند، یعنی فرکانس مرکز VCO باید بطور مناسب تنظیم شود. این محدودیت با این حقیقت تحمیل می‌شود که آشکار ساز فاز درون ADC مبنی بر VCO مطرح شده باید در دامنه قفل شدگی فاز خود عمل کند (یعنی باید از لغزش سیکل جلوگیری شود) تا رفتار شکل گیری نويز $\Sigma\Delta$ مطلوب حاصل شود. بنابراین فرکانس مرکز VCO باید N_{nom} برابر فرکانس زمان سنجی تنظیم شود، که در آن N_{nom} با مقدار اسمی تقسیم مطابقت دارد [۲۲].

به‌عنوان مثال در نتایج شبیه سازی ارائه شده در شکل ۱۰، N_{nom} برابر با ۲/۵ و فرکانس کلاک مرجع برابر با ۸۰۰MHz می‌باشد، بنابراین فرکانس مرکز VCO باید ۲GHz قرار گیرد.

دامنه قفل شدگی آشکار ساز فاز نیز با دامنه دینامیک قابل دسترس ADC مطرح شده تنظیم می‌شود. از آنجا که فرکانس خروجی VCO همراه با دامنه سیگنال ولتاژ تنظیم کننده ورودی تغییر می‌کند، سطح زیاد دامنه سیگنال ورودی باعث تغییر سریع فاز می‌شود که به نوبه خود منجر به اختلاف فاز

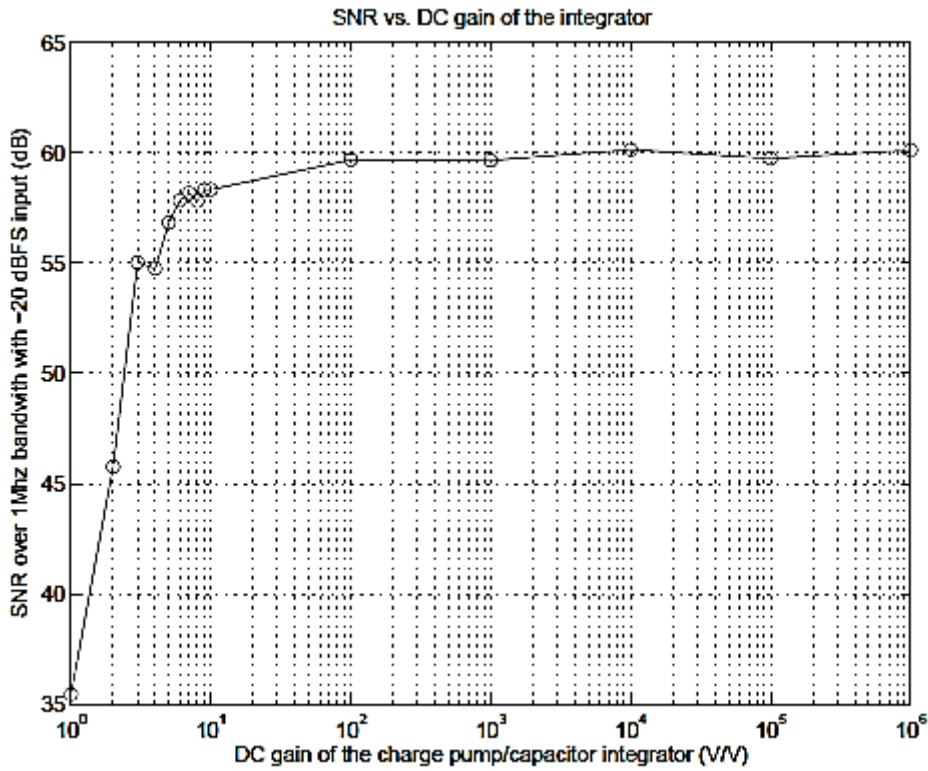


شکل ۹- شکست عملیات XOR به دلیل افت وخیز محدود سیگنال‌های اولیه

شده که آشکار ساز فاز مشاهده می‌کند که این اختلاف فاز باعث خارج شدن آشکارساز از محدوده قفل شدگی خود می‌شود. اگر آشکار ساز فاز از سیکل نوسانات مطمئن شود، عملیات حلقه $\Sigma\Delta$ با شکست مواجه می‌شود. این شرایط با ناپایدار شدن $\Sigma\Delta$ ADC قدیمی به دلیل اشباع انتگرال گیر داخلی مطابقت دارد. علاوه بر این، اشباع انتگرال گیر های داخلی می‌تواند در مورد انتگرال گیر پمپ شارژ / خازن در ساختار ADC مطرح شده اتفاق بیفتد. با این وجود شبیه سازی رفتار CppSim ساختار مطرح شده [۲۲] نشان می‌دهد که نوسانات سیکل قبل از اشباع انتگرال گیر پمپ شارژ رخ می‌دهند، بنابراین دامنه قفل شدگی آشکار ساز فاز در این ساختار، حداکثر دامنه سیگنال اولیه را تعیین می‌کند. درعمل، زمان تاخیر حاصل از لبه های ولتاژ خروجی XOR، دامنه قفل شدگی را باریک تر و محدود تر می‌سازند، زیرا زمانی که لبه های دو سیگنال اولیه به هم نزدیک هستند، مانند شکل ۹، XOR عمل نمی‌کند.

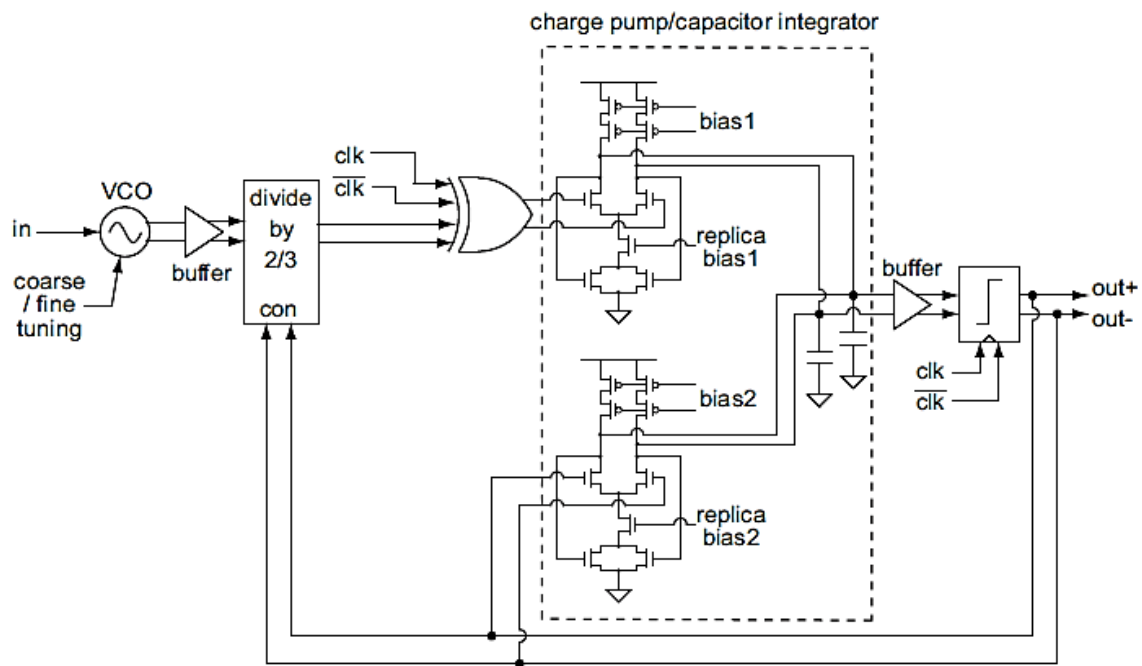
مزایای ساختار A/D پیشنهادی

ساختار پیشنهاد شده A/D سودمند است، زیرا شکل گیری نویز درجه دوم در حالت بسیار دیجیتال، امکان پذیر می‌باشد. همه بلوک‌های ساختمان به جز انتگرال گیر مرحله دوم را می‌توان در مدارات دیجیتال مانند شکل ۵ (a) اجرا کرد. بهره نامحدود DC انتگرال گیر مرحله اول، که انتگرال گیر VCO است، نیاز به طراحی انتگرال گیر آنالوگ مرحله دوم در شکل ۵ (a) کاهش می‌دهد. از آنجا که انتگرال گیر مرحله اول دارای بهره نامحدود DC میباشد، بهره کم DC انتگرال گیر پمپ شارژ در شکل ۵ (a) عملکرد کلی را زیاد کاهش نمی‌دهد. SNR محاسبه شده با استفاده از شبیه سازی های رفتاری CppSim با بهره های مختلف DC انتگرال گیر پمپ شارژ در شکل ۱۰ نشان داده شده است. در این شبیه سازی سرعت نمونه برداری ۸۰۰MHz و فرکانس مرکز VCO، ۲GHz است. شبیه سازی رفتاری شامل نویز فاز VCO می‌شود و همچنین پهنای باند سیگنال ۱MHz است.



شکل ۱۰- بهره DC در مقایسه با SNR پمپ شارژ / انتگرال گیر خازن

شکل ۱۰ نشان می دهد که حتی اگر بهره DC پمپ شارژ / خازن به ۶ برسد SNR به کمتر از ۳dB کاهش می یابد، و با بهره DC برابر با ۸۰ به کمتر از ۱dB نیز نزول می کند. نشان داده شده که اگر بهره DC انتگرال گیر با نسبت نمونه برداری قابل مقایسه باشد، به تدریج SNR در مرتبه ۱dB قرار می گیرد. نتایج شبیه سازی در شکل ۱۰ به وضوح نشان می دهد که این نیاز بهره DC برای انتگرال گیر پمپ شارژ بطور قابل توجهی کم شده که این به دلیل بهره نامحدود DC انتگرال گیر VCO است.

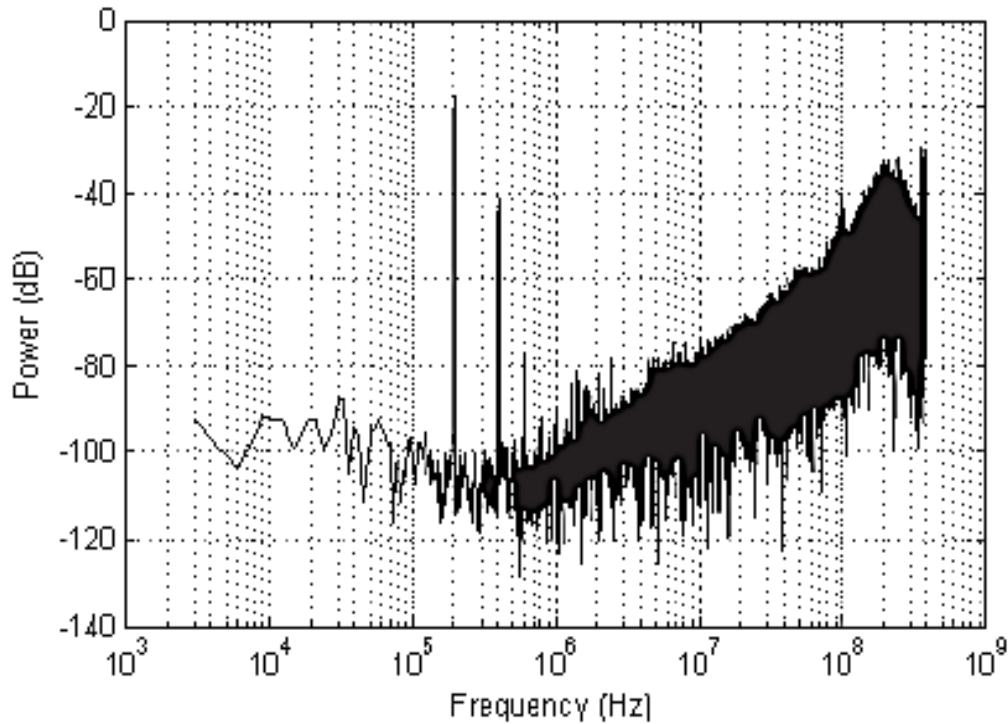


شکل ۱۱- نمودار بلوک مدار ساده شده نمونه اولیه ADC در $0.18\mu\text{m CMOS}$.

نمونه اولیه در $0.18\mu\text{m CMOS}$

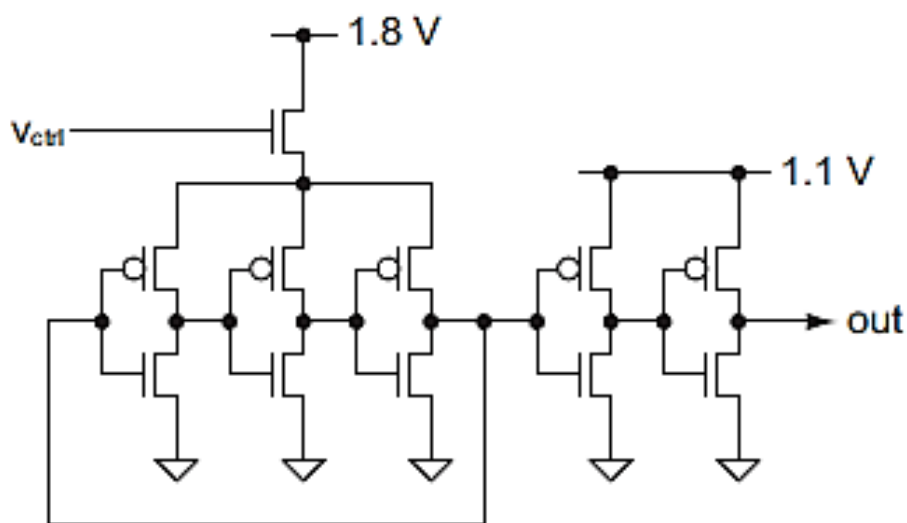
اولین نمونه ADC به منظور اثبات مفهوم تکنولوژی $0.18\mu\text{m CMOS}$ ساخته شد [۲۸].

شکل ۱۱ نمودارهای بلوک مدار ساده شده نمونه اولیه ADC مبنی بر VCO در $0.18\mu\text{m CMOS}$ را نشان می دهد. همه مدارهای دیجیتال به منظور عملیات پرسرعت و از بین بردن نویز مد مشترک با منطق جفت شده با منبع (SCL) اجرا می شوند. SCL هامدارهای با مصرف بالای توان هستند، و برای عملیات با توان کم ADC مناسب نمی باشند. با این وجود اجرای SCL دارای مزیت کاهش زمان هایلبه های آشکار ساز فاز XOR می باشد، که دامنه قفل شدگی آنرا بهبود می بخشد. یک حلقه ای شبیه دیفرانسیل سه مرحله ای بکار گرفته می شود. برای تنظیم فرکانس مرکز VCO، ورودی های تنظیم کننده ریز و درشت اضافی نیز گنجانده می شوند. از بافر به عنوان پیش تقویت کننده برای کوانتایزر به منظور کاهش اتفاقاتی که باعث نیم پایداری گردد استفاده می شود.



شکل ۱۲- طیف خروجی اندازه گیری شده با ورودی -18dBFS - نمونه اولیه IC با $0.18\mu\text{m CMOS}$.

اولین نمونه مدار مجتمع^۱ (IC) با $0.18\mu\text{m CMOS}$ شبیه سازی شده است. ناحیه فعال کلی حدوداً 0.5 است. مصرف کلی توان بجز VCO و مرحله بافر آن، 0.5 34mW است. مصرف VCO و بافر به ترتیب 32mW و 82mW می باشد. طیف خروجی اندازه گیری شده با استفاده از پنجره Hann دارای سیگنال ورودی 0.18dBFS در شکل ۱۲ نشان داده شده است. دومین مولفه های از مولفه های هماهنگ حدوداً 22dB کمتر از سیگنال ورودی مورد نظر می باشند، که این به دلیل ارتباط غیر خطی ولتاژ و فرکانس VCO حلقه می باشد.



شکل ۱۳- مدارهای VCO حلقه ای که در ADC مطرح شده با 45nm CMOS بکار رفته اند.

حداکثر SNR و SNDR اندازه گیری شده به ترتیب 39dB و 0dB با پهنای باند 1MHz می باشند. SNDR به دلیل مولفه های هماهنگ زیاد در باند بسیار کمتر از SNR است.

طراحی مدار در نمونه اولیه 45nmCMOS

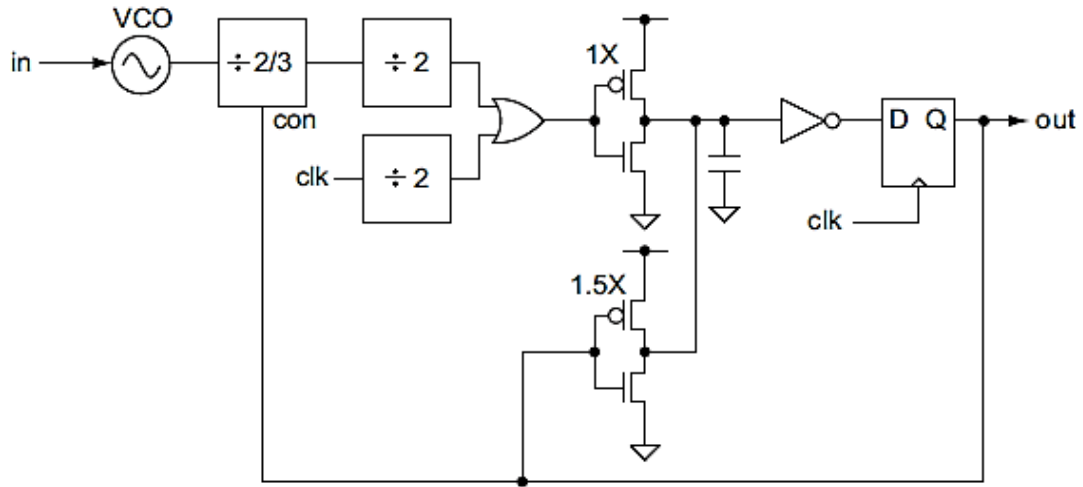
اگر چه نمونه اولیه در $0.18\mu\text{m CMOS}$ مفهوم را اثبات کردولی چندین نقص نیز وجود دارد. اول اینکه در مدارهای دیجیتال پر سرعت به دلیل استفاده از SCL ها توان بسیار زیادی مصرف می کند، دوم اینکه غیر خطی بودن VCO باعث SNDR پایین می گردد [۲۸]. در نهایت، این نمونه هنوز از مدارهای آنالوگ مثل پمپ های شارژ استفاده می کند. به منظور رفع این مشکلات یک نمونه اولیه IC دیگر با 45nm CMOS طراحی شده است.

در تراشه نمونه اولیه با 45nmCMOS برای ADC مبنی بر VCO پیشنهادی، از مدارهای منطقی مبتنی بر CMOS یکطرفه تمام موج استفاده می کند، که از طریق آنها مصرف توان مدارهای دیجیتال را به حداقل می رساند. مدارهای دیجیتال با 45nmCMOS برای سیگنال های دیجیتال بیش از نوسان کامل 5GHz بدون ایجاد مشکل به قدر کافی سریع هستند. شکل ۱۳ طراحی VCO حلقه ای برای بهبود خطی بودن ویژگی های تنظیم کننده را نشان می دهد. با استفاده از یک NMOS با بایاس سورس فلوور (درین مشترک)، ولتاژ کنترل، تغییر می دهد ولتاژ VDD اسیلاتور حلقه ای سه مرحله ای و بدین طریق فرکانس خروجی را نیز تغییر خواهد داد. نوسان ولتاژ خروجی بخش هسته VCO به بستگی دارد. دو مرحله معکوس کننده آبشاری در خروجی VCO حلقه ای تضمین می کنند که نوسان ولتاژ خروجی نهایی حلقه VCO برابر VDD است که در این مورد $1/1\text{V}$ می باشد. نتایج شبیه سازی نشان می دهد ارتباط میان و فرکانس خروجی، خطی تر از VCO حلقه ای در [۲۸] است. تراشه نمونه اولیه، برای پمپ های شارژ از معکوس کننده های ساده استفاده می کند که در شکل ۱۴ نشان داده شده است.

معکوس کننده از این لحاظ با پمپ شارژ شباهت دارد که NMOS و PMOS معکوس کننده نیز جریان را به گره خروجی کشانده یا از آن بیرون می دهند. با این حال مقدار جریان NMOS و PMOS جداگانه به میزان زیادی به ولتاژ ثانویه وابسته است. از این رو خازن جفت شده با معکوس کننده در شکل ۱۴ یک انتگرال گیر غیر خطی با بهره کم DC ایجاد می کند. اگر انتگرال گیر مرحله اول دارای بهره DC نامحدود باشد، بهره DC انتگرال گیر مرحله دوم $(gm \cdot r_o)$ برای ترانزیستور در این فرایند حدودا ۱۰ است) عملکرد کلی $\sum \Delta \text{ADC}$ را کاهش نمی دهد، از این رو می توان از یک معکوس کننده ساده به عنوان پمپ شارژ بدون از دست دادن عملکرد مطلوب استفاده کرد. غیر خطی بودن ADC با ویژگی های تنظیم کننده VCO برجسته می شود، از اینرو غیر خطی بودن انتگرال گیر مرحله دوم نیز قابل قبول است.

نتایج شبیه سازی CppSim در نمونه اولیه 45nmCMOS

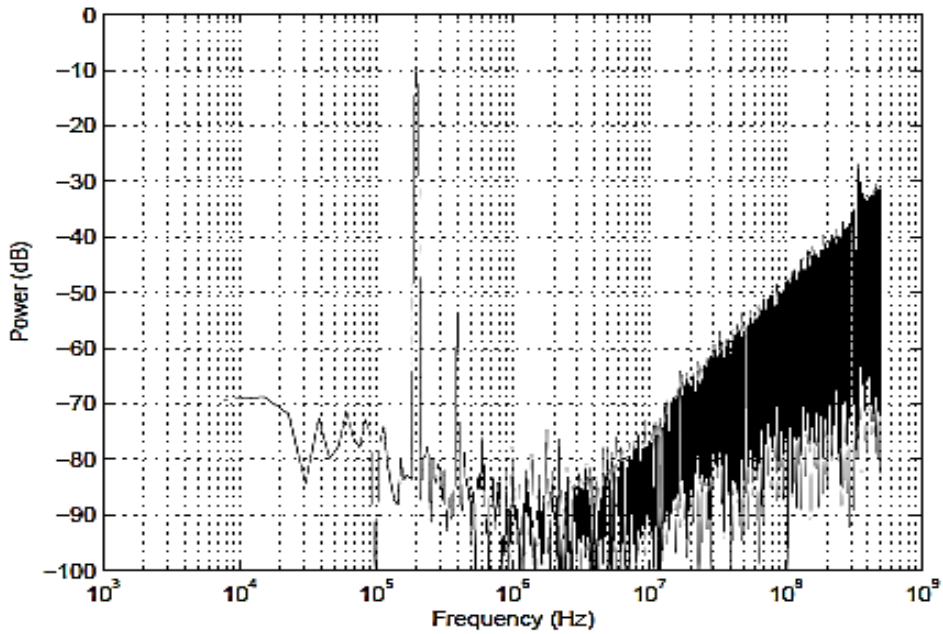
ADC پیشنهادی به کمک ابزار شبیه سازی رفتاری CppSim شبیه سازی شده است. در شبیه سازی، سرعت نمونه برداری 1GHz و فرکانس مرکز 2.5GHz ، VCO، است. بهره DC پمپ شارژ فقط ۱۰ است. نمودارهای نویز VCO حلقه و پمپ شارژ از شبیه سازی های Spectre RF برای مدارهای توضیح داده شده می باشند. نویز فاز VCO حلقه حدود -108dBc در 20MHz و فرکانس مرکزی نویز فلیکر حدود 1MHz است. بر اساس شبیه سازی های Spectre RF نویز پمپ شارژ توسط نویز فلیکر احاطه شده، زیرا از عناصری (ترانزیستورهای) با حداقل طول کانال استفاده شده است. علاوه بر این نمودارهای نویز ترانزیستورهای NMOS و ترانزیستورهای PMOS پمپ های شارژ با هم تفاوت دارند. بنابراین هر منبع نویز برای جریان مثبت و منفی به طور جداگانه در شبیه سازی های CppSim مدل سازی می شوند. پس از شبیه سازی لایه های VCO حلقه، یک جدول مقایسه برای رابطه ولتاژ با فرکانس VCO حلقه ایجاد می شود. تنظیم کردن ویژگی های غیر خطی VCO حلقه نیز در شبیه سازی های CppSim بر اساس جدول مقایسه ای مدلسازی شده صورت می گیرد. شکل ۱۵ طیف خروجی نویز فاز VCO که شبیه سازی شده را نشان می دهد. نویز پمپ شارژ در نظر گرفته نشده است. SNDR در 10MHz برابر با 43.4dB است. همچنین می توانیم تاثیر نویز فلیکر، VCO حلقه که فرکانس مرکز آن حدود 1MHz است را مشاهده کنیم.



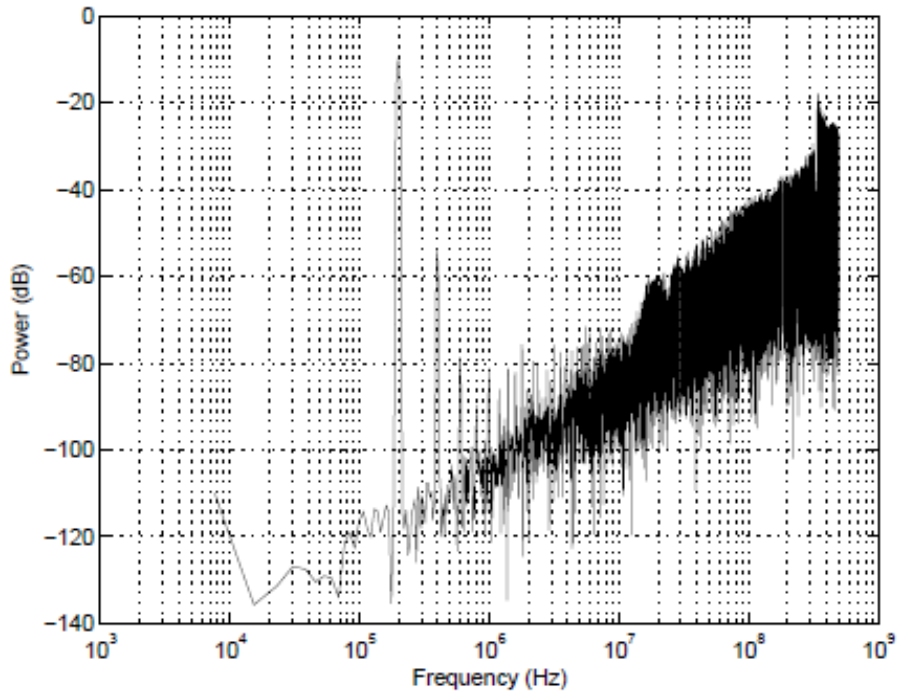
شکل ۱۴- نمودارهای مدار $\Sigma\Delta$ ADC مبنی بر VCO با پیوستگی زمانی در نمونه اولیه IC در 45nmCMOS .

شکل ۱۶ طیف خروجی شبیه سازی شده شامل نویز پمپ شارژ را نشان می دهد. نویز فاز VCO در نظر گرفته نشده است. SNDR در 10MHz برابر با 44.1dB است و ما می توانیم فقط نویز کوانتایزر را در شکل ۱۶ مشاهده کنیم زیرا نویز پمپ شارژ نسبتاً کوچکتر از نویز کوانتایزر است. براساس نتیجه شبیه سازی، نویز فاز VCO بر نویز باند ورودی ADC مسلط است.

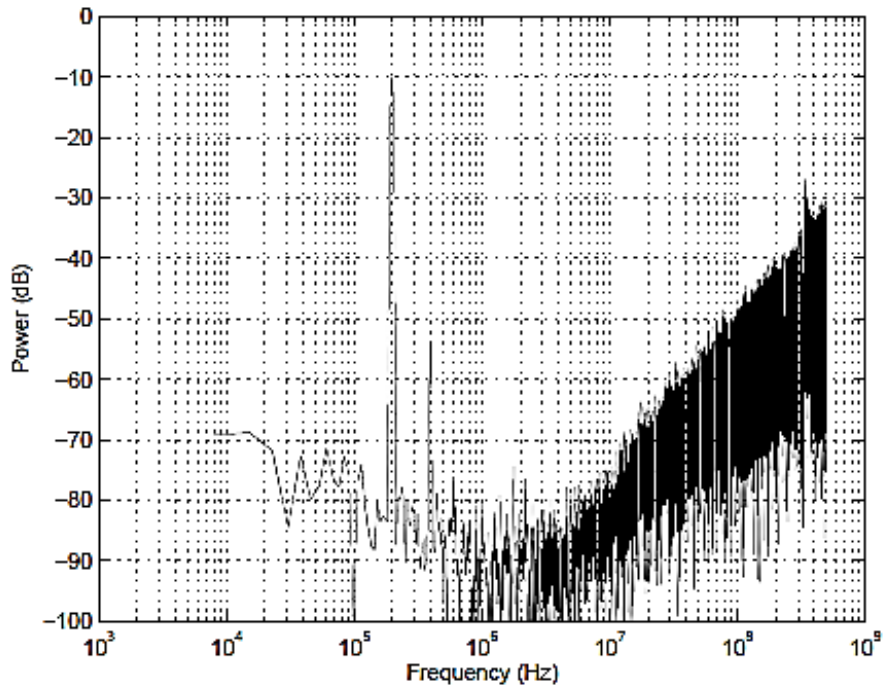
شکل ۱۷ طیف خروجی شبیه سازی شده شامل نویز فاز VCO و نویز پمپ شارژ را نشان می دهد. از آنجا که نویز فاز بر نویز باند ورودی تسلط دارد، SNDR در 10MHz برابر 43.4dB است که شبیه نتیجه زمانی است که فقط نویز فاز VCO را شبیه سازی کرده اند.



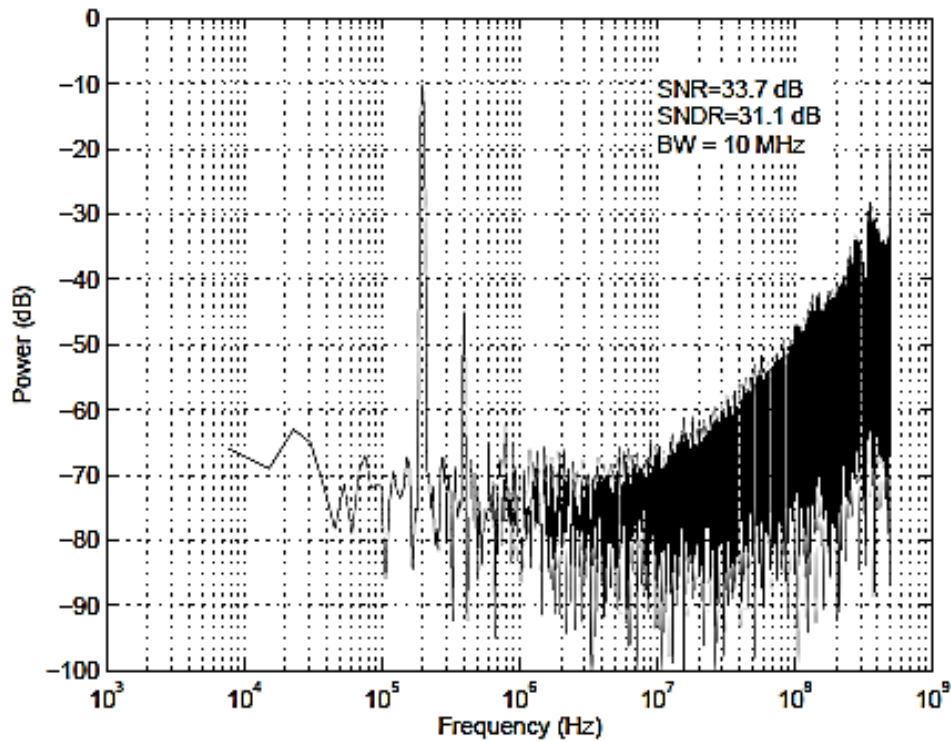
شکل ۱۵- طیف خروجی شبیه سازی CppSim شامل نویز فاز VCO.



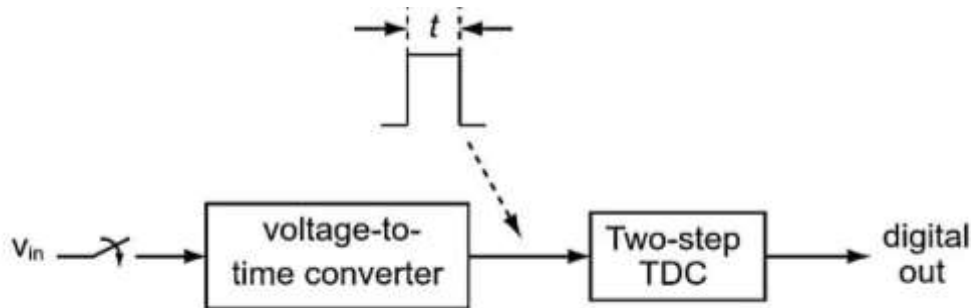
شکل ۱۶- طیف خروجی شبیه سازی CppSim شامل نویز پمپ شارژ.



شکل ۱۷- طیف خروجی شبیه سازی CppSim شامل نویز فاز VCO و نویز پمپ شارژ.



شکل ۱۸- طیف خروجی اندازه گیری شده ADC مبنی بر VCO در CMOSnm ۴۵.

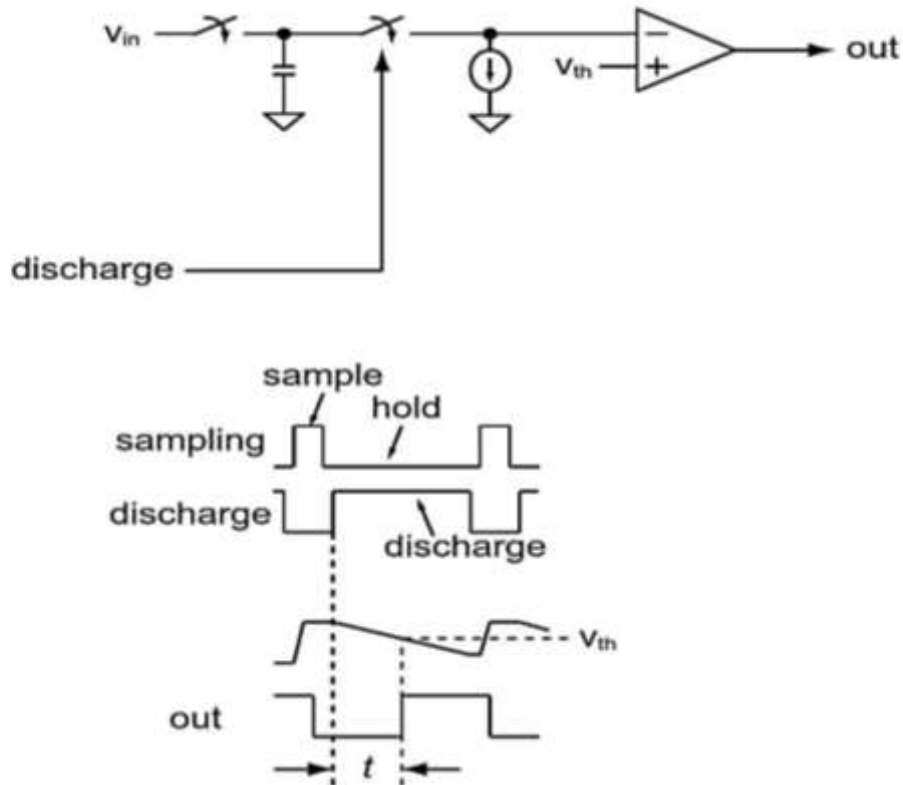


شکل ۱۹- تبدیل A/D با استفاده از VTC خطی و TDC دو مرحله ای

مبدل تک شیب A/D پیشنهادی

VTC ولتاژ ورودی نمونه گیری شده را به پالس تبدیل می کند که پیوستگی آن بطور خطی متناسب با ولتاژ ورودی می باشد. مدت زمان سیگنال پالس بوسیله TDC دو مرحله ای که یک خروجی دیجیتال متناظر را بدست می آورد اندازه گیری می شود. با استفاده از ساختار دو مرحله ای برای TDC، مصرف توان کاهش می یابد، در حالی که دامنه بزرگ و قدرت تشخیص خوبی حاصل می شود.

نظریه اصلی، در ابتدا اندازه گیری زمان با یک TDC ضخیم است که مصرف توان کمی دارد و سپس یک TDC نازک برای اندازه گیری باقیمانده حاصل می باشد. ما نشان خواهیم داد که اجرای TDC دو مرحله ای را می توان با حداقل پیچیدگی آنالوگ بدست آورد. چالش اصلی ADC رسیدن به یک ساختار خطی VTC علاوه بر اجرای کارآمد مدار TDC دو مرحله ای می باشد.

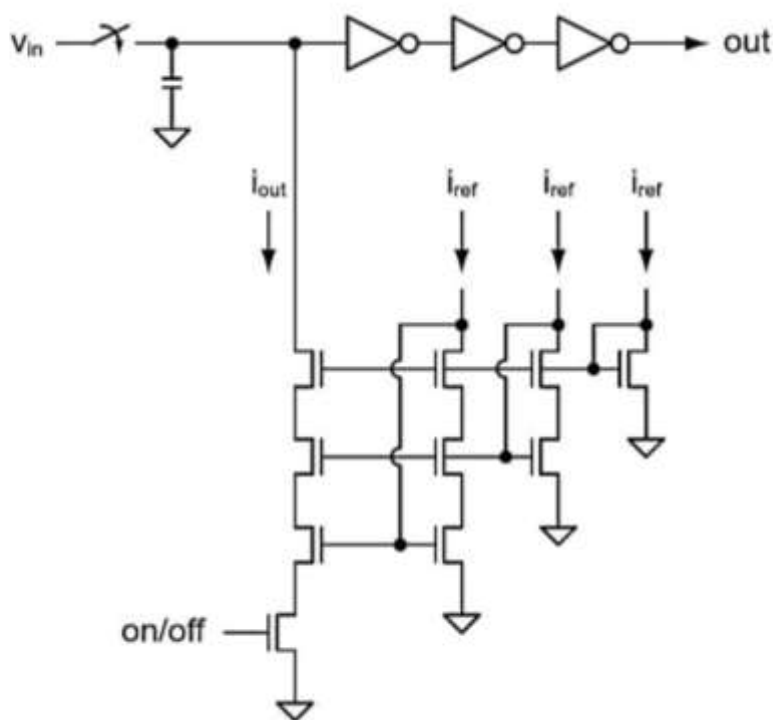


شکل ۲۰- بلوک دیاگرام و نمودارهای زمان بندی VTC خطی.

تبدیل خطی ولتاژ به زمان (VTC)

این VTC متشکل از مدار نمونه گیر، منبع جریان و یک مقایسه کننده است. مدار نمونه گیر خازن نمونه گیری را تا حد ولتاژ ورودی شارژ می‌کند، در حالی که منبع جریان خاموش است. سپس منبع جریان روشن می‌شود تا این که ولتاژ خازن نمونه گیری به طور خطی به عنوان تابعی از زمان کاهش یابد.

هنگامی که ولتاژ خازن نمونه گیری به ولتاژ آستانه مقایسه کننده برسد، خروجی مقایسه کننده بالا می‌رود. با در نظر گرفتن جریان پایدار در خازن، مدت زمان حاصل بین روشن کردن منبع جریان و بالا رفتن مقایسه کننده، به طور خطی با ولتاژ ورودی ارتباط دارد، بنابراین تابع VTC مورد نظر حاصل می‌شود. با کوانتیزه کردن مدت زمان خروجی پالس توسط VTC دارای TDC دو مرحله ای، نمایش عدد معادل دیجیتال ولتاژ ورودی بدست می‌آید. بنابراین با ترکیب VTC و TDC می‌توان به عاملیت ADC مورد نظر دست یافت.



شکل ۲۱- نمودارهای مدار ساده شده VTC خطی.

مسئله اصلی نگه داشتن دامنه جریان پایدار در خازن درون VTC است که باعث یک حالت خطی خوب در مبدل ADC پیشنهاد می شود که این امر با مقاومت بالای خروجی منبع جریان پذیر است. شکل ۲۱ نمودار مدار ساده شده مبدل ولتاژ به زمان را نشان می دهد که منبع جریان با مقاومت خروجی بالا در سر تا سر مدار ایجاد شده از طریق دوبرابر کردن مدار آبشاری بدست آمده است. اشکال داشتن دو عنصر آبشاری، نوسانات محدوده ولتاژ در خروجی منبع جریان است. با این حال مقاومت خروجی بالا فقط برای ولتاژهای بالای ولتاژ آستانه مقایسه کننده نیاز است، زیرا ولتاژهای زیر این مقدار هیچ تأثیری بر زمان بندی تصمیم گیری مقایسه کننده ندارد. بنابراین ولتاژ آستانه مقایسه کننده آنقدر بزرگ انتخاب شده که همواره عناصر آبشاری بالاتر از ولتاژ آستانه در حالت اشباع گیرند.

شکل ۲۲ نیز مقایسه کننده را نشان می دهد که از مدارهای آبشاری ساده اینورترها تشکیل شده است. اگر چه از یک اینورتر نمی توان به عنوان مقایسه کننده همه منظوره استفاده کرد، ولی اگر ولتاژ ورودی دارای یک سطح شیب دار ثابت باشد، می توان از آن به عنوان آشکار ساز گذرنده از ولتاژ آستانه استفاده نمود [۳۲ و ۳۳ و ۳۴ و ۳۵]. البته باید به این نکته توجه کرد که اینورترها به آسانی در تکنولوژی پیشرفته CMOS قابل اجرا میباشند. ولتاژ افسست دقیق اینورترها را نمی توان کنترل کرد ولی ولتاژ افسست فقط بر افسست اینورتر، ولتاژ به زمان تأثیر می گذارد که برای جدا کردن این ولتاژ افسست در مرحله بعد با پس پردازش از دامنه دیجیتال می توان به آسانی آن را کسر (جدا کرد) کرد.

تبدیل دو مرحله ای زمان به دیجیتال

بخش رزولوشن TDC های دومرحله ای با TDC GRO چند مسیری که در ابتدا در [۱۴] معرفی شد، مطابقت دارد. TDCGRO به عنوان مبدل زمان به دیجیتال به شمار میرود که این کار را با اسیلاتور حلقه ای انجام می دهد که فقط در طول فاصله زمانی اندازه گیری، فعال می باشد. رزولوشن پردازش نشده (بدرد نخور و خام) در این TDC کاملاً متناسب است با تأخیر ایجاد شده در اینورتر آن، اما ساختار آن به طور قابل توجهی به شکل گیری نویز درجه اول در نویز کوانتیزه شده کمک می کند [۱۴]. جهت بهبود بیشتر رزولوشن می توان ارتباط داد ورودی تأخیر در هر مرحله به ترکیب تأخیر مراحل قبل

یا به عبارت دیگر تأخیر هر مرحله را با مرحله قبل هم پوشانی کرد، که به آن TDCGRO چند مسیری می گویند که در [۱۵] مطرح شد.

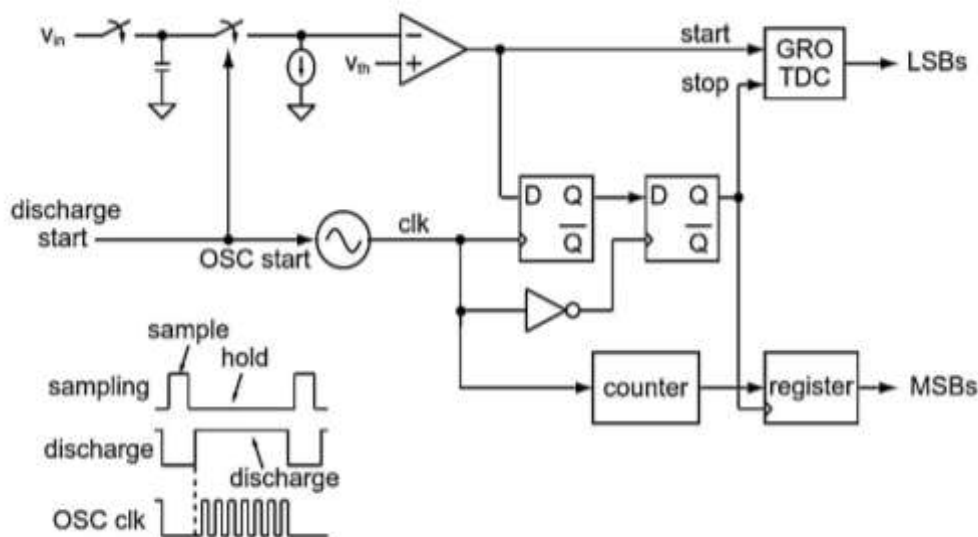
با انجام این کار تأخیر هر مرحله را می توان به طور چشمگیری به پایین تر از حد تأخیر اینورتر کاهش داد. یا تکنولوژی μm CMOS ۰/۱۳ در TDCGRO چند مسیری حدود ۶ps رزولوشن زمان پردازش نشده (خام و بدرد نرخور) را موجب می شود، که بسیار کمتر از تأخیر اینورتر ۳۵ps ارائه شده توسط این تکنولوژی می باشد [۱۵].

یک مشکل بحرانی مربوط به TDCGRO این است که طول مدت سیگنال پالس ورودی افزایش می یابد، به دلیل آنکه اسیلاتور حلقه ای و مدارهای شمارنده مدت زمان طولانی تر فعال است، پس مصرف توان آن نیز زیاد می شود. به منظور صرفه جویی در مصرف توان، ADC پیشنهادی از TDC GRO فقط برای اندازه گیری باقیمانده عملیات کوانتیزه انجام شده توسط TDC با دقت کمتر استفاده می شود. چون TDC با دقت کمتر توان کمتری را مصرف می کند. مشکلی که بر سر راه رسیدن به این تبدیل دو مرحله ای وجود دارد این است که باقیمانده زمان را نمی توان ذخیره کرد، زیرا کوانتیزیشن تخمینی دقت بالا و خوب باید در پالس مشابه ایجاد شده توسط VTC اجرا شود.

به منظور توضیح ساختار TDC دو مرحله ای، شکل ۲۲ بلوک دیاگرام ساده شده ADC کلی و شکل ۳-۵ نمودارهای زمان بندی متناظر با آنرا نشان می دهد. TDC تخمینی متشکل از اسیلاتور حلقه ای و یک شمارنده است. فرکانس اسیلاتور نسبتاً کم تنظیم می شود، بنابراین عملیات کم توان بدست می آید. اسیلاتور حلقه ای می تواند در همان لحظه ای که منبع جریان روشن شده و تخلیه خازن نمونه برداری را شروع می کند، نوسان خود را آغاز نماید.

یک شمارنده ساده دیجیتال، تعداد سیکل های اسیلاتور را در حالی که مقایسه کننده هنوز پایین است ثبت می کند. در نقطه ای که خروجی مقایسه کننده بالا می رود، یک رجیستر (شمارنده) خروجی شمارنده را به گونه ای ذخیره می کند که کوانتیزیشن تخمینی طول مدت پالس بدست آید. سپس اندازه گیری کوانتیزیشن با دقت بالا با اندازه گیری مدت زمان از وقتی که مقایسه کننده تا لبه بعدی خروجی اسیلاتور بالا می رود، صورت می گیرد مانند شکل ۳-۵.

با دانستن مدت زمان اسیلاتور حلقه ای، اندازه گیری حاصل توسط TDCGRO را به آسانی می توان برای مقایسه خطای باقیمانده کوانتیزیشن تخمینی انجام شده توسط اسیلاتور حلقه ای بکار برد. البته باید به این نکته اشاره کرد که با توجه به آنکه TDCGRO فقط برای مدت زمان کوتاهی فعال است، مصرف توان آن به حداقل می رسد.



شکل ۲۲- بلوک دیاگرام ساده شده ADC پیشنهاد شده.

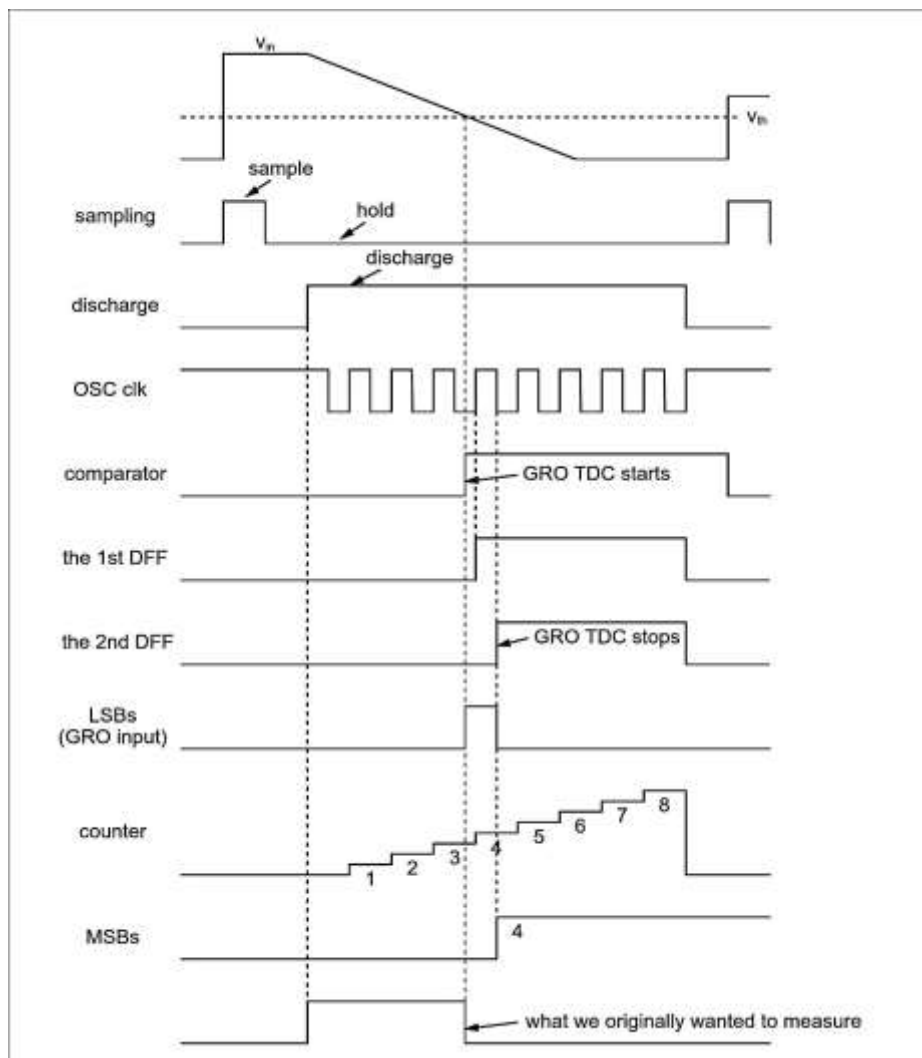
یک مشکل اصلی TDCGRO این است که برای اجرا شدن بطور صحیح به یک حداقل مدت زمان پالس ورودی نیاز دارد، زیرا اسیلاتور حلقه ای داخلی TDCGRO به یک مقدار محدودی زمانی برای روشن و خاموش شدن نیاز دارد. همان طور که در شکل ۲۲ و ۲۳ نشان داده شده، برای اضافه کردن یک نیم سیکل دوره تناوب اسیلاتور به مدت زمان پالس TDC از دو مدار

فلیپ فلاپ D استفاده می شود. به عنوان مثال، حداقل مدت زمان پالس نصف در دوره تناوب اسیلاتور حلقه ای تخمینی و حداکثر یک و نیم دوره تناوب اسیلاتور حلقه ای تخمینی (غیر دقیق) خواهد بود.

به دلیل افزودن نصف دوره تناوب اسیلاتور، عدد دیجیتال نهایی حاصل از TDCGRO شامل مقدار افست متناظر میشود. این افست باید در طول مدت پس پردازش در نظر گرفته شود که در بخش بعد مورد بحث قرار خواهد گرفت.

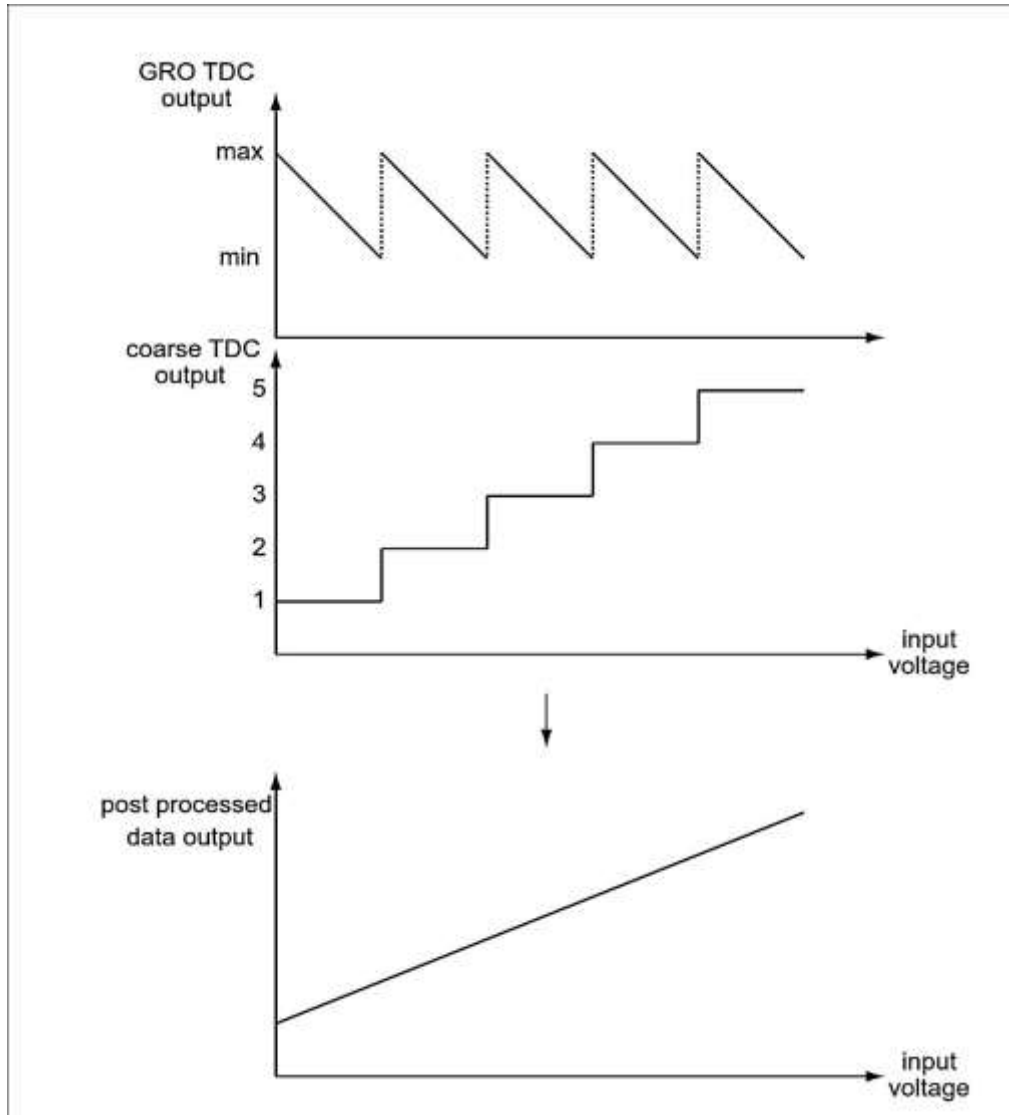
کالیبراسیون پس پردازش

مسائل اصلی در انجام پس پردازش، درجه بندی عوامل مقیاس نسبی بین اندازه گیری های TDC تخمینی و دقیق جبران کردن هر تاثیر درجه دوم سیستماتیک می باشد.



شکل ۲۳- نمودارهای زمان بندی ADC پیشنهاد شده.

تأثیر درجه دوم اصلی که آنرا فرکانس اسیلاتور حلقه ای مورد استفاده برای اندازه گیری تخمینی می خوانیم، به مقداری زمان نیاز دارد تا در فرکانس نهایی پس از روشن شدن قرار گیرد. یا به عبارت دیگر مدت زمانی طول می کشد تا اسیلاتور پایدار شود و در فرکانس کاری خود قرار بگیرد. ناپایداری حاصل در فرکانس، آنرا در اندازه گیری تخمینی، غیر خطی نشان می دهد. با این وجود، از آنجا که ناپایداری به طور کلی قابل تکرار است، می توان آنرا با پس پردازش جبران کرد که به زودی مورد بحث قرار می گیرد.



شکل ۲۴- ولتاژ اولیه در مقایسه با کد خروجی دیجیتال ADC پیشنهادی.

ابتدا مشکل کالیبره کردن عوامل مقیاس میان اندازه گیری های TDC تخمینی و دقیق را مورد توجه قرار می دهیم. شکل ۲۴ مثالی از TDCGRO و خروجی های TDC تخمینی به عنوان تابعی از ولتاژ اولیه، و همچنین خروجی داده های پس پردازش شده را نشان می دهد. همانطور که در شکل دیده می شود، حداقل و حداکثر مقادیر TDCGRO به ترتیب با نیم دوره و یک و نیم دوره تناوب TDC تخمینی مطابقت می کند که در افزایش های اندازه مرحله واحد TDCGRO اندازه گیری شده است.

بنابراین به منظور کالیبره کردن عوامل مقیاس نسبی بین اندازه گیری های TDC تخمینی و دقیق، ما فقط به اندازه گیری نیم دوره تناوب و یک و نیم دوره تناوب اسیلاتور TDC تخمینی با TDCGRO نیاز داریم. زمانی که مقادیر حداقل و حداکثر TDCGRO بدست آمد، خروجی دیجیتال مورد نظر عبارتست از:

$$Out = out_{TDC_C} \cdot (max_{GRO} - min_{GRO}) + (max_{GRO} - out_{GRO}) \quad (1-3)$$

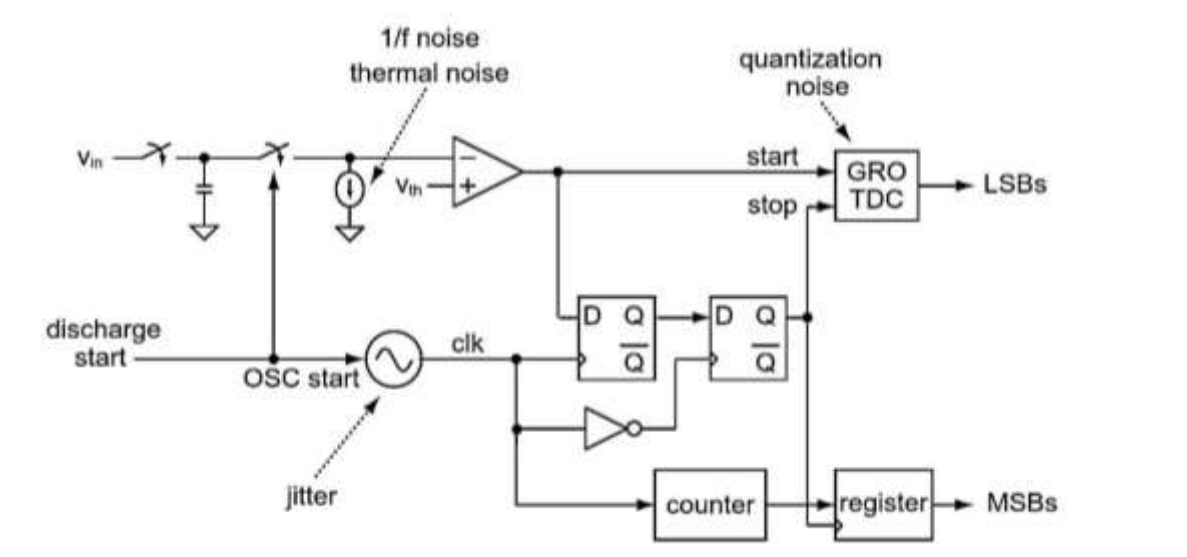
out_{TDC_C} خروجی TDC تخمینی، خروجی TDC GRO، حداکثر مقدار TDC GRO و حداقل مقدار TDC است.

برای پرداختن به مشکل ناپایداری در فرکانس اسیلاتور حلقه ای TDC تخمینی، کالیبراسیون دقیق تری مورد نیاز است که این شامل ایجاد یک شکل موج مشخص در ورودی ADC است که دارای یک محدوده کاملاً دینامیک باشد و انجام یک عملیات کرو فیتینگ برای مشاهده کردن محدوده غیر خطی است. با این وجود باید توجه داشت که فقط TDC تخمینی باید کالیبره شود که به مقدار زیادی پیچیدگی این عملیات را ساده می سازد.

طراحی دقیق تر اسیلاتور حلقه ای TDC تخمینی باید نیاز به این کالیبراسیون در طراحی های آینده را حذف سازد. باید این مشکل را با ادامه دادن اسیلاتور حلقه ای TDC تخمینی در تمام مدت حذف کرد و سپس زمان شروع منبع جریان که خازن نمونه را تا لبه های مناسب اسیلاتور حلقه ای TDC تخمینی تخلیه می سازد، هماهنگ کند. با این وجود، چنین رویکردی مصرف توان را افزایش می دهد.

منابع نویز مبدل A/D پیشنهاد شده.

شکل ۲۵ سه منبع نویز اصلی در ADC پیشنهاد شده را نشان می دهد. نویز خازن نمونه گیری حذف می شود زیرا انتخاب خازن بزرگ می تواند نویز را آنقدر کم کند که در مقایسه با دیگر منابع نویز قابل چشم پوشی است [۳۶]. نویز گرمایی و نویز فلیکر منبع جریان قبل از تاثیر بر خروجی مقایسه کننده، با هم یکی می شوند که بر زمان تصمیم گیری مقایسه کننده تاثیر می گذارد و بنابراین منجر به تجزیه ENOB در ADC می شود. توجه کنید که نوسانات اسیلاتور حلقه ای TDC تخمینی، همین تاثیر را بر تنزل ENOB در ADC دارد. علاوه بر تأثیر منابع نویز بالا، نویز کوانتیزه TDC GRO، یک منبع نویز مهم دیگر در ADC پیشنهاد شده است.



شکل ۲۵- منابع نویز ADC پیشنهادی.

نویز کوانتیزه GRO TDC با رزولوشن زمانی خود تعیین می شود که با تأخیر هر مرحله از اسیلاتور حلقه ای داخلی خود و همچنین عدم مطابقت بین تأخیرها در مراحل مختلف تنظیم می شود. در حالی که GRO TDC شکل گیری نویز را عرضه می کند، این ویژگی در کاربرد سرعت نایکویست که در اینجا مورد توجه قرار گرفته، مفید نمی باشد. با توجه به مرجع [۱۵ و ۱۹] شکل گیری نویز بر اثر رفتار تغییر استوانه، بر غیر خطی بودن ADC تاثیر ندارد. بنابراین با توجه به آنکه GRO TDC مزیت های شکل گیری نویز را در این کاربرد به اثبات نمی رساند، با وجود عدم مطابقت، مزیت های خطی بودن را فراهم می آورد.

نتیجه گیری

در سه کاربرد مدارهای مبتنی بر زمان که معرفی شدند، از اسیلاتورهای حلقه به عنوان هسته بلوک های ساختار برای تبدیل آنالوگ به دیجیتال و یا تبدیل زمان به دیجیتال استفاده کرده اند. این مقاله محدودیت های اساسی اسیلاتور حلقه ای در پرداختن به سیگنال های آنالوگ را نشان می دهد، و همچنین قابلیت اجرای استفاده از اسیلاتورهای حلقه را به اثبات رساند. اسیلاتور حلقه ای دارای مزیت مخصوص به خود است، مثل بهره نا محدود DC که حتی در روش های زیر میکرونی برای CMOS در آینده قابل دسترس می باشد.

با این وجود سیستم های نشان داده شده دارای مشکلات نویز فاز و غیر خطی بودن VCO های حلقه می باشند. اگرچه نتایج اندازه گیری شده، عملکرد متوسطی را نشان داده اند SNR ولی خطی بودن مبدل A/D مبتنی بر VCO، توسط VCOها محدود می شوند. نویز فاز VCO با کوچک شدن اندازه ترانزیستور، بدتر می شود، که این خصوصاً به دلیل نویز فلیکر است. نویز فاز اسیلاتور حلقه ای را می توان با مصرف توان بیشتر و یا استفاده از قطعات بزرگتر که قبلاً ذکر شد، بهبود بخشید. با این وجود هر دو راه حل نا مطلوب هستند، زیرا ما با این کار دیگر نمی توانیم از مزیت های قانون مور استفاده کنیم. ویژگی های تنظیم کنندگی غیر خطی نیز با مقیاس گذاری (کوچک کردن) قطعه ارتقاء پیدا نمی کنند. از این رو اسیلاتور حلقه، علت اصلی محدودیت عملکرد در ساختار سیستم های پیشنهاد شده می باشد.

ما ممکن است بتوانیم محدودیت های اساسی اسیلاتور حلقه را به وسیله دیگر فرآیند های سیگنال مبتنی بر زمان تعمیم دهیم. یک سیگنال مبتنی بر زمان همیشه دست خوش نویز فاز قرار می گیرد، زیرا اندازه رو به کاهش ترانزیستورها، حرکت نامنظم سیگنال مینی بر زمان تحت تسلط نویز فلیکر قرار می گیرد و حتی TDC نیز تحت تاثیر آن می باشد [۱۵]. می توان انتظار داشت تا زمانی که مدارهای آنالوگ به فرایند تبدیل برای خطی سازی کمک می کند، مشکل تبدیل غیر خطی آنالوگ به زمان همیشه وجود خواهد داشت.

در نتیجه یک رابطه جانشینی بین مدارهای آنالوگ مرسوم و مدارهای مینی بر زمان وجود دارد. در تکنولوژی CMOS ها با ساختار ریز میکرونی، روش سیگنال مبتنی بر زمان از لحاظ ناحیه، توان و سهولت اجرا بهتر از روش سیگنال آنالوگ مرسوم است. به خصوص، VCO حلقه به بهره نا محدود DC می رسد که مدارهای آنالوگ مرسوم قادر به اجرای آن نیستند. با این وجود به لحاظ نویز و خطی بودن، مدارهای آنالوگ مرسوم، که از ترانزیستورهای اکسیدی ضخیم استفاده می کنند، بهتر از مدارهای مینی بر زمان هستند.

مشاهدات فوق نشان می دهد که استفاده از ترکیب مدارهای مبتنی بر زمان و مدارهای آنالوگ بهترین راه حل برای عملکرد بالا همراه با اجرایی کارآمد می باشند. برای عملکرد متوسط، به کار بردن بیشتر مدارهای مبتنی بر زمان، بهترین گزینه ای است.

با بکار بردن چند مدار آنالوگ می توان از مشکل تبدیل غیر خطی آنالوگ به زمان در اسیلاتور حلقه جلوگیری کرد. پس به منظور عملکرد بالا، بهتر است از مدارهای آنالوگ معمولی بیشتری استفاده شود. با استفاده کردن بیشتر از مدارهای آنالوگ مرسوم، می تواند به قدرت تشخیص بالاتر و خطی بودن بالا در مبدل های A/D در [۹ و ۱۰] دست یافت، اما از VCO حلقه فقط باید به عنوان کوانتیزر استفاده شود.

این پژوهش نشان داد که سیگنال‌های آنالوگ را می‌توان به طور کارآمدی توسط مدارهای مبتنی بر زمان توسط تکنولوژی پیشرفته CMOS پردازش کرد. با تعیین محدودیت‌های عملکردی اسیلاتور حلقه برای پردازش سیگنال مبتنی بر زمان، نشان دادیم که یک رابطه جانشینی بین مدارهای مبتنی بر زمان و مدارهای آنالوگ معمولی به هنگام جستجوی راه حل‌های مدار در آینده وجود دارد. به ویژه مدارهای مبتنی بر زمانی که از اسیلاتور حلقه بهره می‌برند، یک مسیر اجرا فراهم کرده که مستقیماً از قانون مور استفاده می‌کند، اما زیان‌هایی نیز به لحاظ نویز و غیر خطی بودن دارد. مدارهای آنالوگ مرسوم، مزیت‌هایی به لحاظ نویز و غیر خطی بودن دارند، اما از ویژگی‌های کاهش یافته مانند بهره ذاتی کاهش یافته زیان می‌بینند. از طریق ترکیب مناسب مدارهای مبتنی بر زمان و آنالوگ، می‌توان انتظار داشت که با اجرای کارآمد مدار در فرآیندهای آینده CMOS، عملکرد بالا حاصل شود.

منابع

1. J. M. Rabaey, F. De Bernardinis, A. M. Niknejad, B. Nikolic, and A. Sangiovanni-Vincentelli, "Embedding Mixed-Signal Design in System-on-Chip," Proceedings of the IEEE, vol. 94, no. 6, pp. 1070–1088, June 2006.
2. R. Staszewski, D. Leipold, K. Muhammad, and P. Balsara, "Digitally controlled oscillator (dco)-based architecture for rf frequency synthesis in a deepsubmicrometer cmos process," IEEE Trans. Circuits Syst. II, vol. 50, no. 11, pp. ۸۲۸–۸۱۵ Nov. 2003.
3. C.-M. Hsu, M. Straayer, and M. Perrott, "A low-noise wide-bw 3.6ghz digital fractional-n frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation," Proc. Digest of Technical Papers Solid-State Circuits Conference ISSCC.2008 IEEE International, 2008.
4. R. Tonietto, E. Zuffetti, R. Castello, and I. Bietti, "A 3mhz bandwidth low noiserf all digital pll with 12ps resolution time to digital converter," Proc. 32nd European Solid-State Circuits Conference ESSCIRC 2006, pp. 150–153, Sept. 2006.
5. H.-H. Chang, P.-Y. Wang, J.-H. Zhan, and B.-Y. Hesieh, "A fractional spur free all-digital PLL with loop gain calibration and phase noise cancellation for GSM/GPRS/EDGE," Proc. Digest of Technical Papers Solid-State Circuits Conference ISSCC. 2008 IEEE International, 2008.
6. E. Temporiti, C. Weltin-Wu, D. Baldi, R. Tonietto, and F. Svelto, "A 3ghz fractional all-digital pll with a 1.8mhz bandwidth implementing spur reduction techniques," IEEE J. Solid-State Circuits, vol. 44, no. 3, pp. 824–834, Mar. 2009.
7. J. S. Walling, H. Lakdawala, Y. Palaskas, A. Ravi, O. Degani, K. Soumyanath, and D. J. Allstot, "A class-E PA with pulse-width and pulse-position modulation in 65 nm CMOS," IEEE J. Solid-State Circuits, vol. 44, no. 6, pp. 1668–1678, June 2005.
8. V. Bassoo, A. K. Mustafa, and M. Faulkner, "Distortion arising from polar to PWM/PPM conversion in an all digital upconverter for switching rf power amplifier" Microwave Symposium Digest, 2009. MTT '09. IEEE MTT-S International, pp. 1533–1536, June 2009.
9. M. Z. Straayer and M. H. Perrott, "A 10-bit 20MHz 38mW950MHz CT ADC with a 5-bit noise-shaping VCO-based quantizer and DEM circuit in 0.13μm CMOS," Proc. IEEE Symposium on VLSI Circuits, pp. 246–247, June 2007.
10. M. Park and M. Perrott, "0.13μm CMOS 78dB SNDR 87mW 20MHz BW CT -ADC with VCO-based integrator and quantizer," Proc. Digest of Technical Papers Solid-State Circuits Conference ISSCC. 2009 IEEE International, 2009.
11. S. Naraghi, M. Courcy, and M. P. Flynn, "A 9b 14μW 0.06mm² PPM ADC in 90nm digital CMOS," Proc. Digest of Technical Papers Solid-State Circuits Conference ISSCC.2009 IEEE International, 2009.
12. F. M. Gardner, Phase-lock Techniques, Wiley, 2005.
13. R. E. Best, Phase-locked Loops: Design, simulation, and applications, McGraw- Hill, 2003.

14. B. M. Helal, M. Z. Straayer, G-Y Wei, and M. H. Perrot, "A Low Jitter 1.6 GHz Multiplying DLL Utilizing a Scrambling Time-to-Digital Converter and Digital Correlation," Symposium on VLSI circuits, pp. 166-167, June 2007.
15. M. Z. Straayer, M. H. Perrott, "An Efficient High-Resolution 11-bit Noise- Shaping Multipath Gated Ring Oscillator TDC," Symposium on VLSI circuits, pp. 82-83, June 2008.
16. E. Alon, Vladimir Stojanovi'c, and M. A. Horowitz, "Circuits and techniques for high-resolution measurement of on-chip power supply noise," IEEE J. Solid-State Circuits, vol. 40, no. 4, pp. 820-828, April 2005.
17. Iwata, N. Sakimura, M. Nagata, and T. Morie, "An architecture of delta sigma A-to-D converters using a voltage controlled oscillator as a multi-bit quantizer", IEEE Trans. Circuits Syst. II, vol. 46, issue 7, pp. 941-945, July 1999.
18. R. Naiknaware, H. Tang, T. S. Fiez, "Time-referenced single-path multi-bit__ ADC using a VCO-based quantizer," IEEE Trans. Circuits Syst. II, vol. 47, issue 7, pp. 596-602, July 2000.
19. J. Kim and S. Cho, "A Time-Based Analog-to-Digital Converter Using a Multi- Phase Voltage-Controlled Oscillator," IEEE International Symposium on Ci- cuits and Systems, pp. 3934-3937, May 2006.
20. Tritschler, "A Continuous Time Analog-to-Digital Converter With 90 μ W and 1.8 μ V/LSB Based on Differential Ring Oscillator Structures," IEEE International Symposium on Circuits and Systems, pp. 1229-1232, May 2007.
21. W. T. Bax, M. A. Copeland, and T. A. D. Riley, "A single-loop second-order frequency discriminator," Proc. IEEE-CAS Region 8 Workshop on Analog and Mixed IC Design, pp. 26-31, September 1996.
22. M. Perrott, M. Trott, and C. Sodini, "A modeling approach for __ fractional-n frequency synthesizers allowing straightforward noise analysis," IEEE J. Solid-State Circuits, vol. 37, no. 8, pp. 1028-1038, 2002.
23. B. E. Boser and B. A. Wooley, "The design of sigma-delta modulation analog-todigital converters," IEEE J. Solid-State Circuits, vol. 23, issue 6, pp. 1298-1308, December 1988.
24. J. C. Candy and G. C. Temes, Oversampling Delta-Sigma Data Converters: theory, design and simulation, Wiley-IEEE Press, 1991.
25. J. A. Cherry and W. M. Snelgrove, Continuous-time Delta-Sigma modulators for high-speed A/D conversion: theory, practice and fundamental performance limits, Kluwer Academic Publishers, 2000.
26. R. Schreier, G. C. Temes, Understanding Delta-Sigma Data Converters, IEEE Press, 2005.
27. M. Perrott, "Cpssim behavior simulator package." [Online]. Available: <http://www.cppsim.com>
28. M. Park and M. H. Perrott, "A VCO-based Analog-to-Digital Converter with Second-Order Sigma-Delta Noise Shaping," IEEE International Symposium on Circuits and Systems, pp. 3130-3133, May 2009.
29. D. A. Johns and K. Martin, Analog Integrated Circuit Design, Wiley, 1997, pp. 487-491.
30. S. Kleinfelder, S. Lim, L. Xinqiao, and A. El Gamel, "A 10000 frames/s CMOS digital pixel sensor," IEEE J. Solid-State Circuits, vol. 36, no. 12, pp. 2049-2059, Dec. 2001.
31. J. Cheon and G. Han, "Noise Analysis and Simulation Method for a Single-Slope ADC with CDS in a CMOS Image Sensor," IEEE Trans. Circuits Syst. I, vol. 55, no. 10, pp. 2980-2987, Nov. 2008.
32. J. K. Fiorenza, T. Sepke, P. Holloway, C. G. Sodini, and H. S. Lee, "Comparator-Based Switched-Capacitor Circuits for Scaled CMOS Technologies," IEEE J. Solid-State Circuits, vol. 41, no. 12, pp. 2658-2668, Dec. 2006.
33. L. Brooks and H. S. Lee, "A Zero-Crossing-Based 8-bit 200 MS/s Pipelined ADC," IEEE J. Solid-State Circuits, vol. 42, no. 12, pp. 2677-2687, Dec. 2007.
34. S.-K. Shin, Y.-S. You, S.-H. Lee, K.-H. Moon, J.-W. Kim, L. Brooks, and H. S. Lee, "A fully-differential zero-crossing-based 1.2V 10b 26MS/s pipelined ADC in 65nm CMOS," Symposium on VLSI circuits, pp. 18-20, June 2008.
35. L. Brooks and H. S. Lee, "A 12b 50MS/s fully differential zero-crossing-based ADC with CMFB," Proc. Digest of Technical Papers Solid-State Circuits Con- ference ISSCC. 2009 IEEE International, 2009.
36. B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw Hill, 2001.
37. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog- to-converter," IEEE J. Solid-State Circuits, vol. 34, no. 5, pp. 599-606, May 1999.

38. E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126–2138, Dec. 2004.
39. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and Phase Noise in Ring Oscillators," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, pp. 790–804, June 1999.
40. A. Abidi, "Phase Noise and Jitter in CMOS Ring Oscillators," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1803–1816, Aug. 2006.
41. J. Choi, K. Lim, and J. Laskar, "A ring VCO with wide and linear tuning characteristics for a cognitive radio system," *Proc. IEEE Radio Frequency Integrated Circuits Symposium*, pp. 395–398, June 2008.