

طراحی، شبیه سازی و ارزیابی یک سلول تمام جمع کننده سه ارزشی برمبنای ترانزیستورهای نانولوله کربنی - نسخه چهارم: بهبود سرعت، مصرف توان و تحمل پذیری نویز

مهرداد آفرین

کارشناسی ارشد مهندسی کامپیوتر- معماری سیستم های کامپیوتری، دانشگاه آزاد اسلامی واحد شهرری، تهران، ایران

چکیده

با توجه به لزوم ادامه روند مجتمع سازی با بهره گیری از فناوری های نوین و نقش بی بدیل جمع کننده ها در سیستم های VLSI و همچنین مزایای بی شمار منطق چند ارزشی، دستاوردهای این مقاله در راستای بهبود بخشیدن به سرعت، مصرف توان و حاشیه نویز جمع کننده های سه ارزشی مبتنی بر ترانزیستورهای نانولوله کربنی هدف گذاری شده است. در این میان اما کاهش حاشیه نویز بر اثر استفاده از منطق چند ارزشی قابل تامل به نظر می رسد، لذا لزوم استفاده حداکثری از فضای ولتاژ کاری و فراهم آوردن حداکثر بازه قابل دسترس برای هر منطق به فراخور ظرفیت های موجود به منظور افزایش تحمل پذیری مدار در برابر نویز ضروری به نظر می رسد. از این رهگذر بر آن شدیم تا طرح پیشنهادی نه تنها دارای تاخیر و توان مصرفی مناسب باشد، بلکه از مصونیت مناسبی در برابر نویز نیز برخوردار باشد. در کنار این موضوع، ما بر روابط ریاضی حاکم بر ترانزیستورهای نانولوله کربنی نیز مروری خواهیم داشت.

واژه های کلیدی: نانوتکنولوژی، ترانزیستور نانولوله کربنی، منطق چند ارزشی، جمع کننده، منطق سه ارزشی.

۱. مقدمه

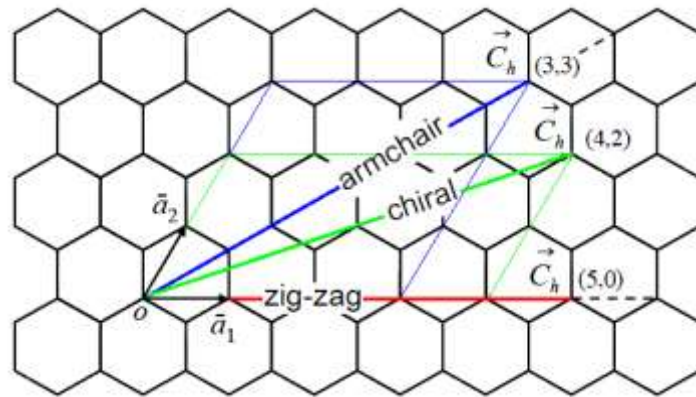
در دهه‌های اخیر ترانزیستورهای اثر میدانی MOS در قالب معماری CMOS، به عنوان اصلی‌ترین کاندیدای مدارهای مجتمع مطرح بودند، داشتن ویژگی‌هایی از جمله جریان نشتی کم، قابلیت مجتمع‌سازی بالا، سرعت مناسب و مصرف توان کم دلایل این انتخاب بودند. از طرفی، روند مجتمع‌سازی که کار خود را با مقیاس SSI آغاز کرد، به تدریج با عبور از مراحل MSI، LSI، VLSI و ULSI، اکنون به مرحله‌ی سیستم روی تراشه (SOC) رسیده است. با ورود مجتمع‌سازی به ابعاد نانومتری، سازوکارهای کوانتومی، معادلات مقیاس‌پذیری در ترانزیستورها را برهم زدند و با بروز مشکلاتی در فرآیند لیتوگرافی و مشکلات دیگری از جمله اثرات کانال کوتاه، جریان‌های نشتی غیر قابل کنترل، کاهش کنترل گیت و پارامتر مدولاسیون طول کانال بسیار بالا، علاوه بر اختلال در عملکرد ترانزیستور، مصرف توان آن را نیز به شدت افزایش داد، بدین ترتیب پیشرفت روند مجتمع‌سازی بر اساس قانون مور با فناوری فعلی میسر نبود، در نتیجه مهندسان حوزه‌ی معماری سیستم‌های کامپیوتری برای حفظ روند قانون مور، به فناوری‌های جدیدی در حوزه‌ی نانو روی آوردند، از جمله‌ی این فناوری‌ها می‌توان به ترانزیستورهای مولکولی، ترانزیستورهای تک الکترونی، آتاماتای سلولی نقطه کوانتومی، ترانزیستورهای اثر میدانی مبتنی بر نانونوارهای گرافینی و در نهایت ترانزیستورهای اثر میدانی مبتنی بر نانولوله‌های کربنی اشاره کرد (کیم، ۲۰۱۰).

ما در این مقاله ترانزیستورهای اثر میدانی نانولوله‌ی کربنی را انتخاب می‌کنیم و این انتخاب با استناد به دلایل محکمی از جمله قابلیت تحرک‌پذیری بالای حامل‌ها و مکانیزم انتقال بالستیک در طول نانولوله، داشتن چگالی جریان و جریان‌دهی بسیار بالا و در نتیجه قدرت رانش و خروجی‌دهی بالا، داشتن نقطه‌ی ذوب بالا و مقاومت در برابر حرارت، عدم مشاهده‌ی پدیده‌ی مهاجرت الکترونی، تقارن باند رسانش و ظرفیت و قابلیت استفاده آسان در کاربردهای مکملی CMOS، امکان استفاده از عایق گیت با ضریب دی‌الکتریک بالا به دلیل عدم پیوندهای آویزان و در نهایت امکان استفاده از منطق چند مقداری و بهره‌گیری از مزایای بی‌شمار آن، صورت گرفته است (دکاپ و دیگران، ۲۰۰۴، لی و دیگران، ۲۰۰۹، دنگ، ۲۰۰۷). بهره‌گیری از منطق چند مقداره به دلایلی از جمله انتقال فشرده‌ی اطلاعات، ذخیره‌سازی فشرده‌ی داده‌ها، کاهش میان‌ارتباط‌ها، کاهش نویز هم‌شنوایی، کاهش تعداد عملیات لازم برای پیاده‌سازی توابع و در نهایت کاهش توان در سال‌های اخیر بسیار مورد توجه قرار گرفته است، به طوری که کارشناسان حوزه‌ی معماری سیستم‌ها با بهره‌گیری از تکنیک Multi-threshold و استفاده از ترانزیستورهای مبتنی بر نانولوله‌ی کربنی، به طراحی مدارهای چند مقداری پرداخته‌اند، در این میان اما، طراحی مدار جمع‌گر از اهمیت به سزایی برخوردار است، زیرا مدار جمع‌گر در حقیقت پایه و اساس مدارهای پیچیده‌تری مانند ضرب، تقسیم، تفریق و مقایسه را تشکیل می‌دهد و به طور وسیعی در پردازنده‌ها و میکروپروسورها به کار می‌روند. مدار جمع‌گر سه ارزشی ارائه شده در این مقاله دارای سرعت بالا، جریان‌دهی بالا، قدرت درایو بالا، خروجی‌دهی بالا، تقسیم و لتاژ کامل، نوسان کامل شکل موج خروجی، حاشیه نویز مناسب، مقاومت بالا در برابر نویز، بازسازی و لتاژ ورودی و قابلیت اطمینان بالا نسبت به سایر جمع‌گرهای ارائه شده‌ی در این زمینه است. در ادامه، ابتدا مروری خواهیم داشت بر روابط ریاضی حاکم بر ترانزیستورهای نانولوله کربنی و سپس به منظور نشان دادن عملکرد صحیح مدار پیشنهادی، آن را شبیه‌سازی کرده و در نهایت به مقایسه و ارزیابی آن با کارهای قبلی می‌پردازیم.

۲. روابط ریاضی حاکم بر ترانزیستورهای نانولوله کربنی

نانولوله‌ی کربنی یک نوع آلترپ کربن است و از یک صفحه‌ی گرافین تشکیل شده است که حول محور طولی پیچانده شده و به صورت یک نانوساختار استوانه‌ای درآمد است. صفحه‌ی گرافین در واقع از یک شبکه‌ی شش ضلعی دو بعدی از اتم‌های کربن شکل گرفته است، در شبکه‌ی گرافین پیوند کلیه‌ی اتم‌های کربن با هیبریداسیون SP^2 انجام می‌پذیرد، بدان معنا که، هر اتم کربن با سه اتم مجاور خود، پیوندهای سیگما (σ) که یک پیوند قوی کووالانسی به شمار می‌رود، را تشکیل می‌دهد و از طرفی، اوربیتال P_z هر اتم کربن نیز با اوربیتال P_z اتم کربن مجاور پیوند ضعیف کووالانسی پای (π) را برقرار می‌کند. به همین دلیل است که در سطح صفحه‌ی گرافین هیچ پیوند آویزانی دیده نمی‌شود. اما از لحاظ رسانش الکتریکی، به دلیل قوی

بودن پیوند سیگما، الکترون‌های اوربیتال s ، P_x و P_y در هدایت الکتریکی شرکت نمی‌کنند و تنها الکترون‌های اوربیتال P_z که در پیوند ضعیف‌تری شرکت دارند و از آزادی بیشتری برخوردار هستند، در هدایت الکتریکی صفحه‌ی گرافین مشارکت می‌کنند (گالدی و مارتین، ۲۰۱۰). برای هر نانولوله یک بردار به نام کایرالیته وجود دارد که به صورت $\vec{C}_h = n_1 \cdot \vec{a}_1 + n_2 \cdot \vec{a}_2$ تعریف می‌گردد و صفحه گرافین به منظور تشکیل نانولوله در راستای آن پیچانده می‌شود. در این رابطه \vec{a}_1 و \vec{a}_2 بردارهای واحد یا به اصطلاح بردارهای شبکه گرافین هستند و زوج (n_1, n_2) شماره کایرال می‌باشد. بر اساس نوع کایرالیته و زاویه چرخش می‌توان تعیین کرد، که نانولوله فلز، نیمه‌رسانا و یا عایق باشد، بدین ترتیب که اگر $|n_1 - n_2|$ مضرب صحیحی از ۳ باشد، نانولوله فلزی است، بنابراین، نانولوله‌های آرمچیر با شماره کایرال (n_1, n_1) همیشه فلزی هستند و نانولوله‌های زیگزاگ $(n_1, 0)$ زمانی فلزی هستند که n_1 مضربی از ۳ باشد، اگر در نانولوله‌های زیگزاگ n_1 مضربی از ۳ نباشد، آنگاه نانولوله نیمه‌رسانا است. اگر رابطه $n_1 - n_2 \neq 3k$ برقرار باشد، آنگاه نانولوله نارسانا است. بدین ترتیب نانولوله‌های کایرال (n_1, n_2) که $|n_1 - n_2|$ مضرب صحیح ۳ نیست، عایق هستند. شکل ۱ چگونگی تشکیل نانولوله‌های آرمچیر، زیگزاگ و کایرال را از پیچانده شدن یک صفحه گرافین نشان می‌دهد (دنگ، ۲۰۰۷).



شکل ۱- چگونگی تشکیل نانولوله‌های آرمچیر، کایرال و زیگزاگ از یک صفحه گرافین

همانطور که می‌دانیم ولتاژ آستانه یک ترانزیستور ولتاژ لازم به منظور روشن شدن ترانزیستور از طریق گیت است و در ترانزیستورهای CNTFET ولتاژ آستانه را می‌توان با تنظیم قطر مورد نظر برای هر نانولوله تعیین کرد. از آنجایی که ولتاژ آستانه برای هر نانولوله کربنی نصف اولین باند ممنوعه انرژی در ساختار باند آن است، ولتاژ آستانه CNTFET از طریق رابطه (۱) بدست می‌آید (دنگ ۲۰۰۷).

$$V_{th} \approx \frac{E_g}{2e} = \frac{\sqrt{3}}{3} \frac{aV_\pi}{eD_{CNT}} \approx \frac{0.43}{D_{CNT}(nm)} \quad (1)$$

که در آن E_g اندازه باند ممنوعه انرژی، e مقدار بار واحد یک الکترون، a فاصله دو اتم کربن مجاور و اندازه آن 0.249 nm ، V_π انرژی پیوند ضعیف کووالانسی میان دو اتم کربن در مدل Tight Bonding و اندازه آن 3.033 eV و در نهایت D_{CNT} قطر نانولوله‌های کربنی می‌باشند. قطر هر نانولوله کربنی را می‌توان از طریق فرمول (۲) تقریب زد (دنگ، ۲۰۰۷):

$$D_{CNT} = \frac{a\sqrt{n_1^2 + n_2^2 + n_1n_2}}{\pi} \approx 0.0783\sqrt{n_1^2 + n_2^2 + n_1n_2} \quad (2)$$

دنگ (۲۰۰۷) ثابت کرد که جریان حالت روشن CNTFET با استفاده از رابطه (۳) حاصل می‌شود و از آنجایی که انتقال الکتریکی در نانولوله ذاتی به طور تقریبی به صورت بالستیک است، جریان حالت روشن در ترانزیستور وابستگی بسیار کمی به طول نانولوله خالص در زیر گیت دارد:

$$I_{CNTFET} = \frac{n \cdot g_{CNT} (V_{DD} - V_{th,CNT})}{1 + g_{CNT} L_s \rho_s} \quad (۳)$$

که در آن پارامتر n تعداد نانولوله‌های موجود در هر ترانزیستور، V_{DD} ولتاژ منبع تغذیه، $V_{th,CNT}$ ولتاژ آستانه هر نانولوله، L_s طول نانولوله دوپ شده (ناخالص شده) در ناحیه سورس، ρ_s مقاومت نانولوله دوپ شده در ناحیه سورس به ازای واحد طول، g_{CNT} ترانسانایی^۱ به ازای هر نانولوله می‌باشند. ترانسانایی هر نانولوله از طریق رابطه (۴) بدست می‌آید (مقدم و دیگران، ۲۰۱۷):

$$g_{CNT} = \frac{\mu_{CNT} C_{gc,u} |V_{gs} - V_{th}|}{L_g} = \frac{\mu_{CNT} C_{gc,u} |V_{gs} - \frac{0.43}{D_{CNT}}|}{L_g} \quad (۴)$$

که در آن μ_{CNT} قابلیت تحرک حامل‌ها در نانولوله، $C_{gc,u}$ خازن گیت به کانال به ازای واحد طول، V_{gs} ولتاژ گیت سورس و L_g طول نانولوله ذاتی در زیر گیت هستند.

بر اساس گزارش دنگ (۲۰۰۷)، خازن مجموع گیت در هر افزاره CNTFET شامل سه بخش است، خازن گیت به کانال ($C_{gc,CNTs}$)، خازن حاشیه خارجی گیت ($C_{of,CNTs}$) و خازن کوپلینگ بین گیت با سورس و درین مجاور (C_{gtg}) که در قالب رابطه (۵) به صورت زیر محاسبه می‌شود:

$$\begin{aligned} C_{g_total,CNTFET} &= C_{gc,CNTs} + C_{g_parasitic,CNTFET} \\ C_{gc,CNTs} &= (\min(n, 2) \cdot C_{gc,s} + \max(n - 2, 0) \cdot C_{gc,m}) L_g \approx n \cdot C_{gc,u} L_g \\ C_{g_parasitic,CNTFET} &= 2 \cdot f_{miller} (C_{of,CNTs} + C_{gtg}) \\ C_{of,CNTs} &= (\min(n, 2) \cdot C_{of,s} + \max(n - 2, 0) \cdot C_{of,m}) L_s \approx n \cdot C_{of,u} L_s \\ C_{gtg} &= C_{gtg,u} W_g \\ C_{g_total,CNTFET} &\approx n \cdot C_{gc,u} L_g + n \cdot C_{of,u} L_s + C_{gtg,u} W_g \approx n \cdot C_{gc,u} L_g + C_{gtg,u} W_g \end{aligned} \quad (۵)$$

که در آن $C_{gc,s}$ و $C_{gc,m}$ خازن‌های واحد طول گیت به کانال برای نانولوله‌های میانی و مرزی، $C_{of,s}$ و $C_{of,m}$ خازن‌های واحد طول حاشیه خارجی گیت به کانال برای نانولوله‌های میانی و مرزی، $C_{of,u}$ و $C_{gc,u}$ خازن‌های گیت به کانال و حاشیه خارجی گیت به کانال به ازای واحد طول نانولوله می‌باشند.

همچنین $C_{gtg,u}$ خازن کوپلینگ بین گیت با سورس و درین مجاور به ازای واحد عرض گیت، W_g عرض گیت و در نهایت f_{miller} پارامتر میلر^۲ می‌باشند. پارامتر میلر ناشی از اثر میلر (تقویت ظرفیت خازن بین ترمینال ورودی و خروجی) است که به صورت تجربی برای ترانزیستورهای گیت وارون گر برابر ۱/۵ می‌باشد. برای یک ترانزیستور، خازن پارازیتی حاشیه خارجی گیت به کانال جز کوچکی از خازن گیت را به خود اختصاص می‌دهد (حدود ۱۰ درصد) و قابل صرف نظر کردن است. تاخیر یک ترانزیستور CNTFET از طریق رابطه (۶) محاسبه می‌گردد و با جای گذاری روابط (۳) و (۵) داریم (دنگ، ۲۰۰۷):

$$\tau = \frac{C_{gg,CNTFET} \cdot V_{DD}}{I_{CNTFET}} = \left(1 + \frac{C_{gtg} W_g}{n \cdot C_{gc,CNT} L_g}\right) \cdot (1 + g_{CNT} L_s \rho_s) \cdot \frac{C_{gc,CNT} L_g V_{DD}}{g_{CNT} (V_{DD} - V_{th,CNT})} \quad (۶)$$

$$\tau = \eta_{CNT,C} \cdot \eta_{CNT,R} \cdot \frac{C_{gc,CNT} L_g V_{DD}}{g_{CNT} (V_{DD} - V_{th,CNT})} \quad (۷)$$

^۱ transconductance

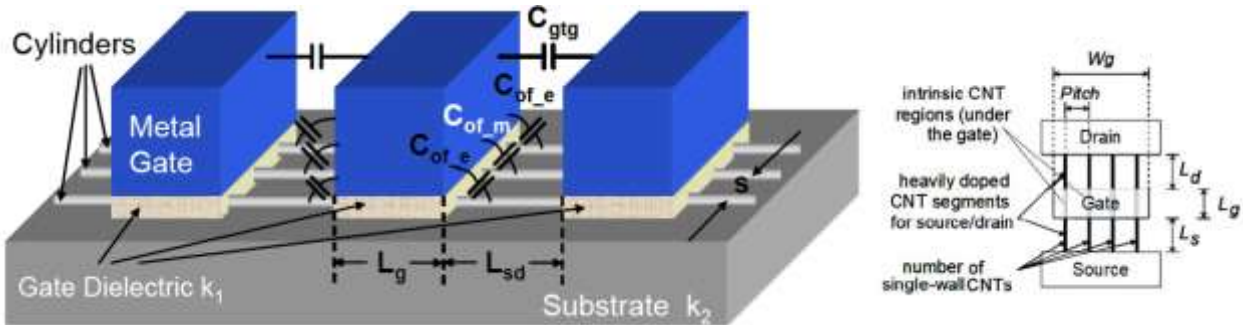
^۲ Miller

$$\eta_{CNT} = \eta_{CNT,C} \cdot \eta_{CNT,R} \quad (۸)$$

$$\eta_{CNT,C} = \left(1 + \frac{C_{gtg} W_g}{n \cdot C_{gc,CNT} L_g}\right) \quad (۹)$$

$$\eta_{CNT,R} = (1 + g_{CNT} L_s \rho_s) \quad (۱۰)$$

می‌توان رابطه (۶) را به صورت رابطه (۷) بیان نمود. بنابراین، عبارت $\frac{C_{gc,CNT} L_g V_{DD}}{E_{CNT} (V_{DD} - V_{th,CNT})}$ می‌تواند به عنوان تاخیر ذاتی گیت برای ترانزیستوری با یک کانال، بدون مقاومت‌های سری در ناحیه‌ی درین/سورس و بدون در نظر گرفتن خازن‌های پارازیتی، تفسیر شود. همان‌گونه که مشخص است، سرعت ذاتی ترانزیستور CNTFET به وسیله‌ی فاکتور $\eta_{CNT,C}$ ناشی از خازن پارازیتی و فاکتور $\eta_{CNT,R}$ ناشی از مقاومت سری خارجی، محدود می‌شود. با توجه به رابطه‌ی (۹) با افزایش تعداد نانولوله‌ها در زیر گیت، فاکتور $\eta_{CNT,C}$ کاهش می‌یابد. از طرف دیگر در رابطه (۱۰)، با کاهش طول ناحیه‌ی دارای ناخالصی کانال در سمت درین و در سمت سورس، فاکتور $\eta_{CNT,R}$ کاهش می‌یابد. در نتیجه، در رابطه (۸) برای کاهش فاکتور η_{CNT} یعنی کاهش کلی اثرات نامطلوب، بین افزایش تعداد نانولوله‌ها در زیر گیت و کاهش طول نواحی دارای ناخالصی در سمت درین و سورس یک مصالحه^۱ وجود دارد. یک روش دیگر برای کاهش فاکتور $\eta_{CNT,C}$ کم کردن ارتفاع گیت است. نتایج شبیه‌سازی نشان می‌دهد که اگر به جای یک نانولوله، از دو نانولوله در زیر گیت استفاده کنیم، سرعت ترانزیستور تا ۳۵ درصد افزایش می‌یابد و همچنین با نصف کردن ارتفاع گیت، ترانزیستور ۲۰ درصد سریع‌تر می‌گردد. ساختار کلی یک ترانزیستور MOSFET-like CNTFET در شکل ۲ نشان داده شده است و عرض گیت ترانزیستور از طریق رابطه (۱۱) بدست می‌آید (دنگ، ۲۰۰۷).



شکل ۲- ساختار کلی یک ترانزیستور MOSFET-like CNTFET

$$W_{gate} = \text{Max}(W_{min}, (n - 1)Pitch + D_{CNT}) \quad (۱۱)$$

که در آن W_{min} حداقل عرض گیت، n تعداد نانولوله‌ها در ترانزیستور، D_{CNT} قطر نانولوله‌ها و $Pitch$ فاصله مراکز دو نانولوله مجاور می‌باشند. در این مقاله به منظور داشتن حداکثر حاشیه نویز قابل دسترس و به تبع آن افزایش قابلیت اطمینان مدار در مقابل تغییرات ولتاژ ناشی از نویز، ما ولتاژهای آستانه ترانزیستورهای CNTFET را به گونه‌ای تنظیم می‌نماییم که نقاط گذر در مدار حداکثر فاصله ممکن را از مقادیر ولتاژهای ورودی مدار داشته باشند. از طرف دیگر، ولتاژهای آستانه طوری انتخاب می‌شوند که ترانزیستورهای شبکه بالابر و پایین‌بر همزمان روشن نشوند و هیچ تداخلی باهم نداشته باشند تا مصرف توان اتصال کوتاه بر مدار تحمیل نگردد. برای تحقق این اهداف ولتاژ آستانه ترانزیستورهای n-CNTFET و p-CNTFET مطابق روابط (۱۲) و (۱۳) تعیین می‌شود (ملکنژاد و دیگران، ۲۰۱۴).

$$V_{t,n} = \frac{TP \times V_{DD}}{HB} \quad (۱۲)$$

^۱ Trade Off

$$|V_{t,p}| = V_{DD} - \frac{TP \times V_{DD}}{HB} \quad (۱۳)$$

که در آن پارامتر TP نقطه روشن شدن^۱ ترانزیستورها است که باید از منطق‌های ورودی حداکثر فاصله را داشته باشد، یعنی برای یک مدار تک ورودی سه ارزشی ۰/۵ و ۱/۵، برای یک مدار دو ورودی سه ارزشی ۰/۵، ۱/۵، ۲/۵ و ۳/۵ و برای یک مدار سه ورودی سه ارزشی ۰/۵، ۱/۵، ۲/۵، ۳/۵، ۴/۵ و ۵/۵ باشد. پارامتر HB بالاترین مرز^۲ جمع سیگنال‌های ورودی است که برای یک مدار تک ورودی سه ارزشی برابر با ۲، برای یک مدار دو ورودی سه ارزشی برابر با ۴ و برای یک مدار سه ورودی سه ارزشی برابر با ۶ می‌باشد.

۳. طراحی تمام جمع کننده‌ی سه ارزشی پیشنهادی

هدف اصلی این مقاله ارائه یک تمام جمع کننده سه ارزشی مبتنی بر نانولوله‌های کربنی است که نه تنها از لحاظ سرعت و مصرف توان بلکه از لحاظ شکل موج، مصونیت در برابر نویز و قابلیت درایو هم مناسب باشد. شکل ۳ طرح شماتیک مدار پیشنهادی را نشان می‌دهد. شبکه تقسیم ولتاژ ورودی برای تولید سیگنال $\sum in/3$ می‌تواند از سه عنصر پسیو الکترونیکی مانند خازن یا مقاومت تشکیل شود که در اینجا ما از سه خازن CNTCAP استفاده کردیم. به منظور تولید سیگنال $\overline{C_{out}}$ از طرح ارائه شده توسط معیری، میرزایی و دیگران (۲۰۱۱) و جهت تولید سیگنال C_{out} از مدار وارون‌گر سه ارزشی ارائه شده توسط معیری، دوستارگان و دیگران (۲۰۱۱) استفاده می‌کنیم، زیرا این دو طرح از تمامی جهات (سرعت، مصرف توان، شکل موج و...) عالی به نظر می‌رسند. اما، انتخاب کایرالیتهی ترانزیستورهای آنها بر اساس جدول ۱ انجام می‌گیرد. نوآوری اصلی طرح پیشنهادی در زمینه مدار مولد سیگنال Sum انجام گرفته است که تحت عنوان نسخه اول در کنفرانس ملی چشم انداز ۱۴۲۰ و پیشرفت‌های تکنولوژیک مهندسی برق، کامپیوتر و فناوری اطلاعات ارائه گردید. در این مقاله سعی بر آن است تا با تغییراتی در طرح بتوان عملکرد آن را نسبت به نسخه‌های اول، دوم و سوم پیشنهادی بهبود داد. نتایج شبیه‌سازی طرح پیشنهادی دوم و سوم ارائه شده در همان کنفرانس نشان می‌دهد که ترانزیستورهای اتصال دیودی در شبکه تقسیم ولتاژ هر چند منطق وسط ($V_{dd}/2$) را بدون نقص تولید می‌کنند، اما در عوض منطق‌های بالا و پایین مدار (V_{dd} و 0) را تا حدودی فیلتر کرده و از اینرو تاخیر مدار در تولید این منطق‌ها را افزایش می‌دهد. به منظور حل این چالش از اتصال ترانزیستوری همواره روشن در انتهای مدار استفاده می‌نماییم، تا علاوه بر کاهش تاخیر، شکل موج کاملاً ایده‌آل و دارای نوسان کامل در خروجی داشته باشیم. مقدار کایرالیتهی مدار اتصال ترانزیستوری را (۰، ۱۷/۸) در نظر می‌گیریم تا منطق‌های بالا و پایین به خوبی عبور کرده و منطق وسط به خوبی تولید گردد. در کنار این موارد به منظور تضمین حاشیه نویز حداکثری، ولتاژ آستانه ترانزیستورهای مدار پیشنهادی بر اساس معادلات ۱۲ و ۱۳ انتخاب می‌شوند. جدول ۱ مشخصات کل ترانزیستورهای بکار رفته در مدار پیشنهادی را نشان می‌دهد.

۴. شبیه‌سازی، مقایسه و ارزیابی طرح پیشنهادی

شبیه‌سازی مدار پیشنهادی با استفاده از نرم‌افزار HSPICE، بر مبنای مدل ارائه شده توسط محققان دانشگاه استنفورد (۲۰۰۸) صورت گرفته است. این شبیه‌سازی در شرایط استاندارد با منبع تغذیه ۰/۹ ولت، در دمای اتاق و در فرکانس کاری ۱۰۰ مگاهرتز انجام گرفته است. همچنین به منظور ارزیابی قابلیت درایو بار خازن و قدرت رانش مدار، در خروجی مدار در هر دو گرهی Sum و C_{out} خازن‌های بار ۲ فمتو فارادی مورد استفاده قرار گرفته است. بر این اساس، ما طرح پیشنهادی خود را در فاز گذرا شبیه‌سازی کرده و پاسخ گذرای مدار پیشنهادی را در حوزه‌ی زمان استخراج کرده و بر اساس آن شکل موج خروجی مدار را بدست می‌آوریم تا مدار را از لحاظ عملکرد بررسی نماییم. شکل ۴ الگوی ورودی و شکل موج خروجی مدار در

¹ Turning Point

² Highest Boundary

حوزه زمان را نشان می‌دهد. همان‌طور که دیده می‌شود، تمامی سیگنال‌ها دارای نوسان کامل ولتاژ هستند و تقسیم ولتاژ برای تولید منطق ۱ نیز کامل صورت گرفته است. علاوه بر این، نتایج دیگر شبیه‌سازی، شامل بدترین سناریوی تاخیر، مصرف توان متوسط و مصرف انرژی متوسط مدار پیشنهادی محاسبه شده و در جدول ۲ با مدارهای پیشنهادی اول، دوم، سوم و مدارهای ارائه شده‌ی قبلی در این زمینه مقایسه شده است.

جدول ۱- مشخصات ترانزیستورهای استفاده شده در تمام جمع‌کننده سه‌ارزشی پیشنهادی

شماره ترانزیستور	T₁	T₂	T₃							
قطر	0.783	0.783	0.783							(nm)
کایرالیت	(10,0)	(10,0)	(10,0)							
شماره ترانزیستور	T₄	T₅	T₆	T₇	T₈	T₉				
قطر	0.888	1.174	1.252	3.523	0.587	1.252				(nm)
کایرالیت	(11.35,0)	(15.2,0)	(16,0)	(44,0)	(7.5,0)	(16,0)				
شماره ترانزیستور	T₁₀	T₁₁	T₁₂	T₁₃	T₁₄	T₁₅				
قطر	0.743	1.918	1.487	1.918	0.743	1.096				(nm)
کایرالیت	(9.5,0)	(24.5,0)	(19,0)	(24.5,0)	(9.5,0)	(14,0)				
شماره ترانزیستور	T₁₆	T₁₇	T₁₈	T₁₉	T₂₀	T₂₁	T₂₂	T₂₃	T₂₄	T₂₅
قطر	0.587	3.680	0.822	1.957	1.127	0.853	1.926	0.743	1.409	(nm)
کایرالیت	(7.5,0)	(47,0)	(10.5,0)	(25,0)	(14.4,0)	(10.9,0)	(24.6,0)	(9.5,0)	(17.8,0)	
شماره ترانزیستور	T₂₆	T₂₇	T₂₈	T₂₉	T₃₀	T₃₁	T₃₂	T₃₃	T₃₄	T₃₅
قطر	0.724	1.957	0.743	1.957	2.200	0.783	1.926	0.743	1.409	(nm)
کایرالیت	(9.25,0)	(25,0)	(9.5,0)	(25,0)	(28.1,0)	(10,0)	(24.6,0)	(9.5,0)	(17.8,0)	

در گام بعدی، به منظور تعیین حساسیت مدار در برابر نویز آن را در فاز DC شبیه‌سازی کرده و نمودار مشخصه انتقالی ولتاژ را برای آن رسم می‌نماییم. نمودار شکل‌های ۵ و ۶ به ترتیب مشخصه انتقالی ولتاژ برای سیگنال‌های Sum و C_{out} را نمایش می‌دهند. همان‌طور که دیده می‌شود، این مدار دارای حداکثر حاشیه نویز^۱ ممکن برای این نوع معماری می‌باشد، زیرا نقاط گذار^۲ در نمودارها دارای حداکثر فاصله ممکن از ولتاژهای ورودی می‌باشند. بدین ترتیب، این مدار می‌تواند سیگنال‌هایی با نویز ۸/۳۳ درصد را تحمل کند.

نزدیکی منبع تغذیه به خروجی مدار و مسیر بحرانی کوتاه^۳ سبب جریان رانش^۴ قوی و قدرت درایو بار خازن بالایی در سیگنال خروجی مدار می‌گردد و در نتیجه، مدار با خروجی‌دهی^۵ بالا می‌تواند تعداد ترانزیستور بیشتری را تغذیه کند. برای اثبات این موضوع تغییرات تاخیر، توان و انرژی مدار در حضور خازن‌هایی با مقادیر ۱ تا ۱۰ فمتوفاراد، در نمودار شکل ۷ ترسیم شده است. با توجه به نمودار، شیب کند تغییرات حاکی از قابلیت درایو بالای مدار پیشنهادی می‌باشد. همچنین، تغییرات تاخیر و

¹ Noise Margin

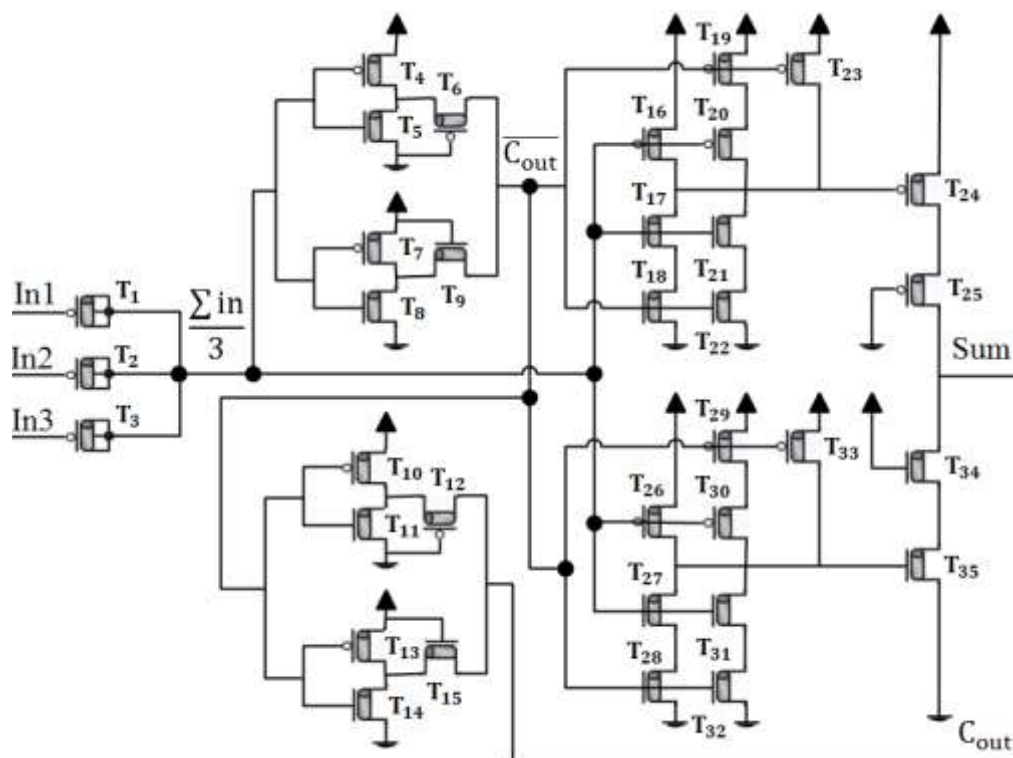
² Transition Points

³ Critical Path

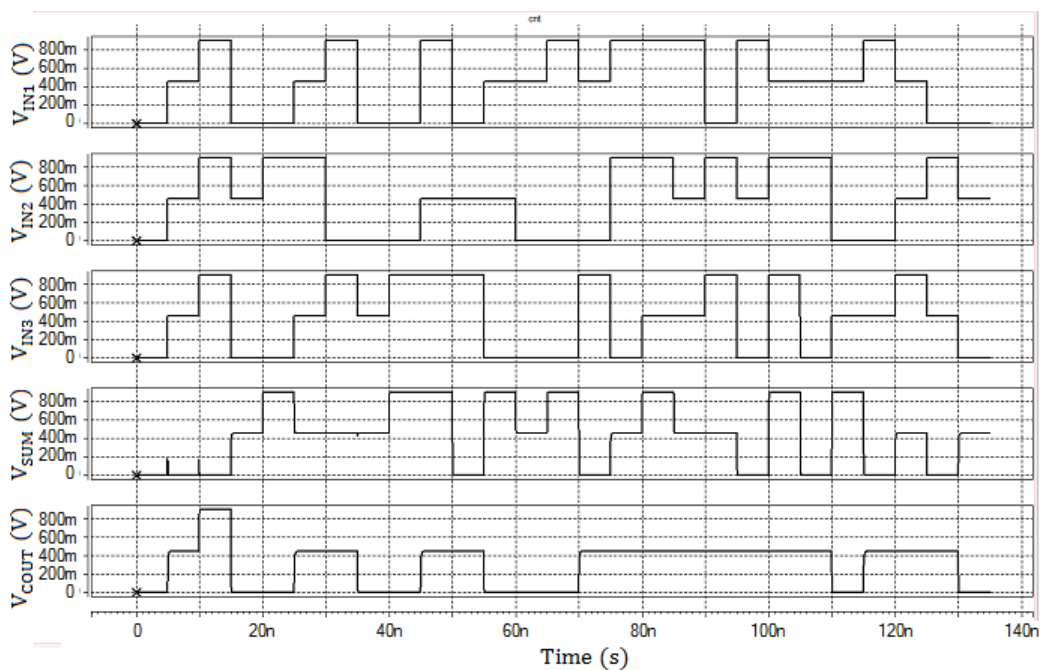
⁴ Drive Current

⁵ Fan-Out

توان مدار پیشنهادی به ازای تغییر خازن بار خروجی با برخی از مدارهای ارائه شده قبلی مقایسه گردیده و نتایج حاصل به ترتیب در نمودار شکل‌های ۸ و ۹ آورده شده است.



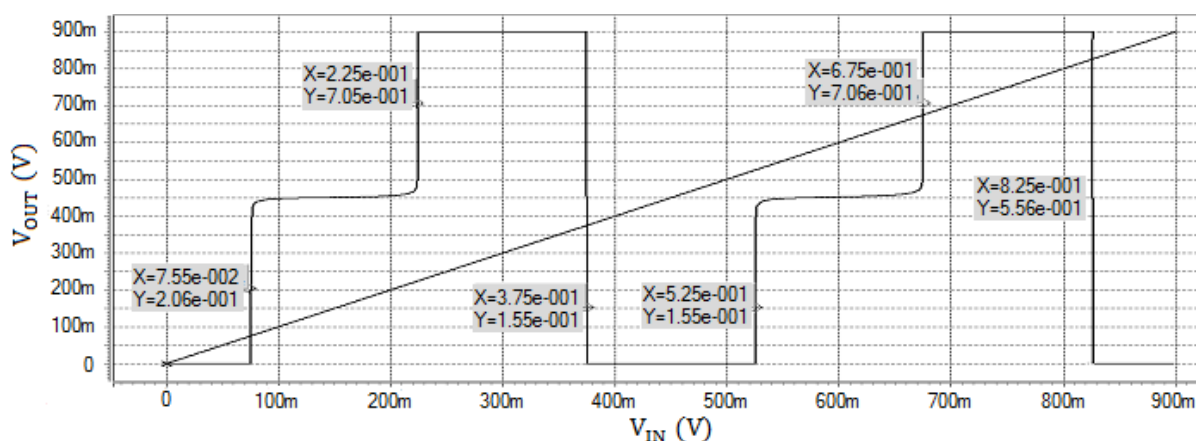
شکل ۳- شماتیک کامل سلول تمام جمع کننده سه ارزشی پیشنهادی



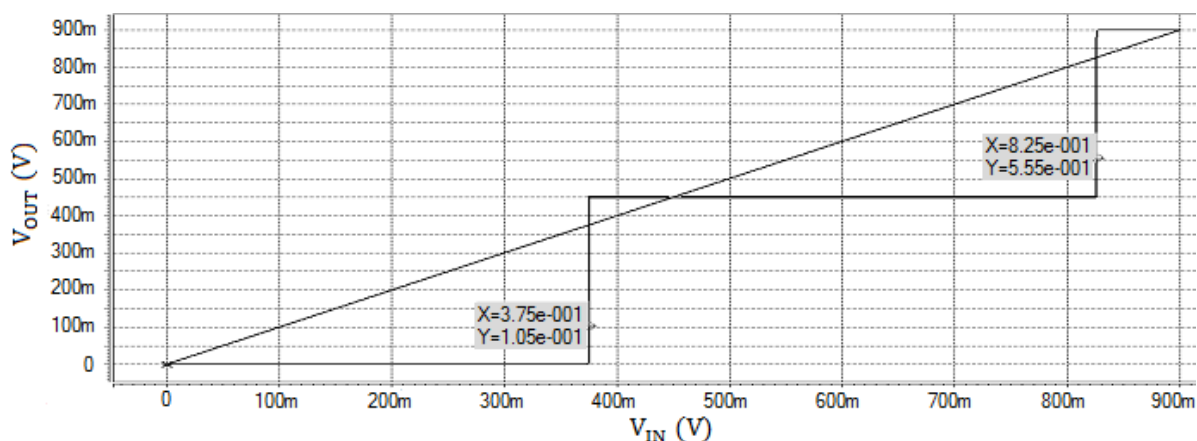
شکل ۴- شکل موج‌های ورودی و خروجی مدار پیشنهادی در حوزه زمان

جدول ۲- مقایسه نتایج شبیه‌سازی مدار پیشنهادی با مدارهای ارائه شده قبلی

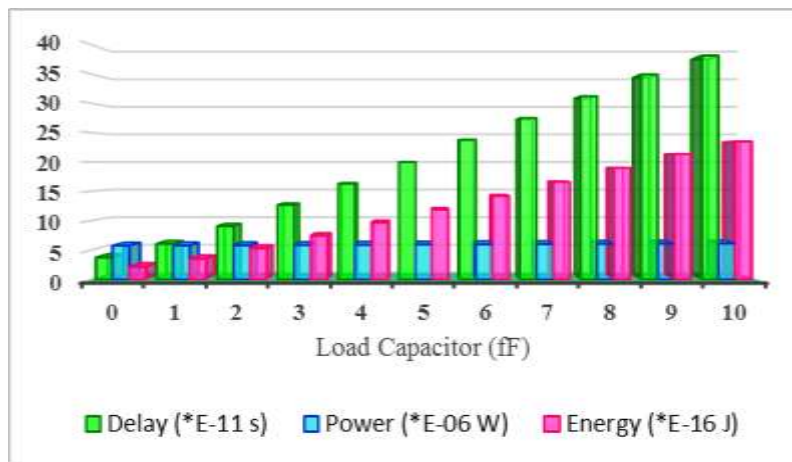
مصرف انرژی ($\times 10^{-15}$ J)	مصرف توان متوسط ($\times 10^{-6}$ W)	حداکثر تاخیر ($\times 10^{-12}$ s)	
1.806	6.361	283.8	اولین تمام جمع‌گر معیری و دیگران (۲۰۱۱)
5.152	19.71	261.4	دومین تمام جمع‌گر معیری و دیگران (۲۰۱۱)
0.5645	1.462	386.1	تمام جمع‌گر ابراهیمی و دیگران (۲۰۱۲)
0.367	2.209	166.1	تمام جمع‌گر کشاورزیان و ساریخانی (۲۰۱۴)
1.7386	26.836	64.786	تمام جمع‌گر پیشنهادی اول
1.6522	11.073	149.21	تمام جمع‌گر پیشنهادی دوم
0.7212	4.8283	149.38	تمام جمع‌گر پیشنهادی سوم
0.5247	5.7523	91.220	تمام جمع‌گر پیشنهادی چهارم



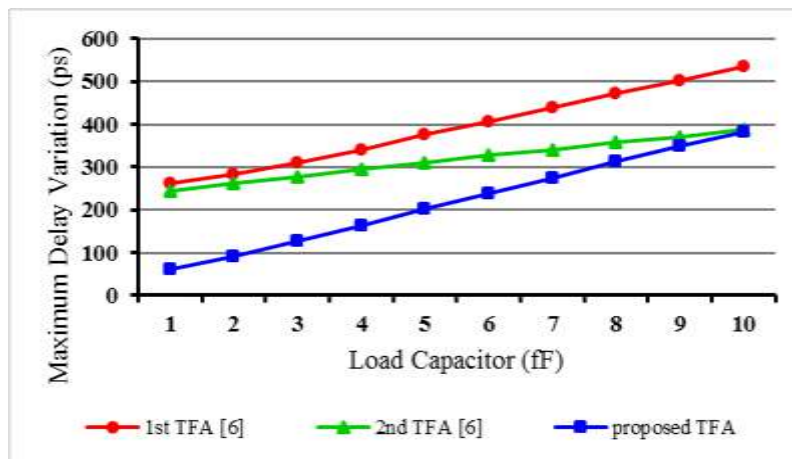
شکل ۵- مشخصه انتقالی ولتاژ (VTC) برای سیگنال Sum



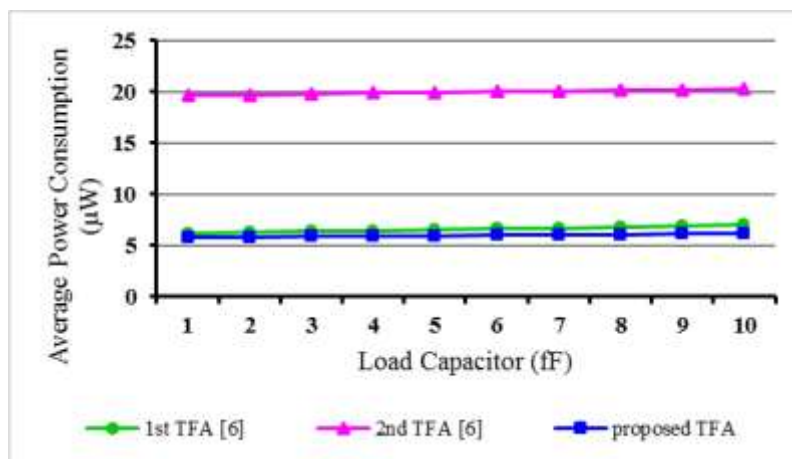
شکل ۶- مشخصه انتقالی ولتاژ (VTC) برای سیگنال C_{out}



شکل ۷- تغییرات تاخیر، توان و انرژی به ازای تغییر خازن بار خروجی در مدار پیشنهادی



شکل ۸- مقایسه تغییر تاخیر به ازای تغییر خازن بار خروجی میان برخی از مدارها



شکل ۹- مقایسه توان به ازای تغییر خازن بار خروجی میان برخی از مدارها

۵. نتیجه‌گیری

در مجموع وجود چشم‌اندازهای روشن در تکنولوژی CNTFET محققان را به بهره‌گیری از آن به منظور ساخت مدارهای محاسباتی و منطقی سوق داده است. در همین راستا به منظور پیشبرد اهداف از پیش تعیین شده، ما در این مقاله ضمن مرور روابط حاکم بر ترانزیستورهای CNTFET، یک سلول تمام جمع‌کننده سه‌ارزشی سریع، کم‌مصرف و مقاوم در برابر نویز را

بر مبنای ترانزیستورهای نانولوله‌ی کربنی ارائه کردیم. نتایج شبیه‌سازی حاکی از دستیابی موفقیت‌آمیز به تمام اهداف استراتژیک می‌باشد. با توجه به ویژگی‌های منحصر به فرد مدار پیشنهادی مانند قدرت درایو بالا، خروجی‌دهی بالا، تقسیم کامل ولتاژ، نوسان کامل ولتاژ خروجی، حاشیه نویز مناسب، تحمل‌پذیری بالا در برابر نویز، بازسازی ولتاژ ورودی، قابلیت اطمینان بالا و مصرف توان کم، این مدار از پتانسیل بالایی به منظور بکارگیری در مدارهایی همچون جمع‌گر/تفریق‌گر، ضرب-گر، تقسیم‌گر، کمپرسور، مقایسه‌گر، جذرگیر، محاسبه‌ی آدرس و بررسی توازن برخوردار است. همچنین، از دستاوردهای این مدار می‌توان در پردازنده‌ها، سیستم‌های خاص منظوره و سامانه‌های نهفته‌ی سه ارزشی، میکروپروسسورها، پردازنده‌های سیگنال‌های دیجیتال و پردازنده‌های صدا و تصویر استفاده کرد.

مراجع

1. Kim, Y., (2010), "Challenges for Nanoscale MOSFETs and Emerging Nanoelectronics," Transactions on Electrical and Electronic Materials, Vol. 11, No 3, pp 93-105.
2. Durkop, T. Getty, S.A. Cobas, E. Fuhrer, M.S., (2004), "Extraordinary Mobility in Semiconducting Carbon Nanotubes," Nano Letters, Vol. 4, No 1, pp 35-39.
3. Li, H. Xu, C. Srivastava, N. Banerjee, K., (2009), "Carbon nanomaterials for next-generation interconnects and passives: Physics status and prospects," IEEE Trans. Electron Devices, Vol. 56, no. 9, pp. 1799-1821.
4. Deng, J. (2007), "Device modeling and circuit performance evaluation for nanoscale devices: silicon technology beyond 45 nm node and carbon nanotube field effect transistors," PhD thesis, Stanford University.
5. Guldi, D.M. Martin, N., (2010). Carbon Nanotubes and Related Structures: Synthesis, Characterization, Functionalization, and Applications. WILEY-VCH.
6. Moghaddam, M. Moaiyeri, M. H. Eshghi, M., (2017), "Design and Evaluation of an Efficient Schmitt Trigger-Based Hardened Latch in CNTFET Technology," IEEE Transactions on Device and Materials Reliability, Vol. 17, no. 1, pp. 267 - 277.
7. Maleknejad, M. Mirzaee, R. Navi, K. Hashemipour, O., (2014), "Multi- V_T Ternary Circuits by Carbon Nanotube Filed Effect Transistor Technology for Low-Voltage and Low-Power Applications," Journal of Computational and Theoretical Nanoscience," Vol. 11, no. 1, pp. 110-118.
8. Stanford University CNTFET Model, (2008), Stanford University. Stanford, CA, USA. [Online]. Available: http://nano.stanford.edu/model_stan_cnt.htm
9. Moaiyeri, M.H. Faghih Mirzaee, R. Navi, K. and Hashemipour, O., (2011), "Efficient CNTFET-based Ternary Full Adder Cells for Nanoelectronics," Nano-Micro Letters, Vol. 3, No 1, pp 43-50.
10. Moaiyeri, M.H. Doostaregan, A. and Navi, K., (2011), "Design of energy-efficient and robust ternary circuits for nanotechnology," IET Circuits, Devices & Systems, Vol. 5, No. 4, pp. 285-296.
11. Ebrahimi, A. Keshavarzian, P. Sorouri, S. Shahsavari M., (2012), "Low Power CNTFET-Based Ternary Full Adder Cell for Nanoelectronics," International Journal of Soft Computing and Engineering (IJSCE), Vol. 2, No 2, pp 291-295.
12. Keshavarzian, P. Sarikhani, R., (2014), "A novel CNTFET-based ternary full adder," Circuits Syst. Signal Process, Vol. 33, No 3, pp 665-679.

Design, Simulation and Evaluation of a 3-valued Full Adder Cell Based on Carbon Nanotube Transistors. Version IV: Improving the Speed, Power Consumption and Noise Tolerance

Mehrad Afarin

Master of Computer Engineering- Architecture of Computer Systems, Islamic Azad University, Shahr-e Ray Branch, Tehran, Iran

Abstract

Considering the need to continue constructing complexes using modern technologies, the significant role of full adders in VLSI systems and the numerous benefits of multiple-valued logic, the achievements of this paper have been aimed at improving the speed, power consumption and noise margin of 3-valued full adders based on carbon nanotube transistors. However, noise reduction due to the use of ternary logic seems questionable; therefore, it seems necessary to make the maximum use of the working voltage space and provide the maximum available range for each logic depending on the available capacities in order to increase the circuit tolerance against noise. With this in mind, we have tried to propose a project not only with suitable lag and power consumption, but also with good noise immunity. Besides, we will also review the mathematical relations governing carbon nanotube transistors.

Keywords: nanotechnology, carbon nanotube field-effect transistor (CNTFET), Multiple-valued Logic (MVL), Full Adder, Ternary Logic
